

## MEMORY CONTROL SYSTEM

Patent Number: JP9171484  
Publication date: 1997-06-30  
Inventor(s): NAKAMURA NOBUTAKA  
Applicant(s): TOSHIBA CORP  
Requested Patent:  JP9171484  
Application Number: JP19950331862 19951220  
Priority Number(s):  
IPC Classification: G06F12/02  
EC Classification:  
EC Classification:  
Equivalents:

---

### Abstract

---

**PROBLEM TO BE SOLVED:** To accelerate the memory access speed so as to judge page hit at a high speed.

**SOLUTION:** While using not a DRAM logic address but a CPU address, a page hit judgement circuit 126 judges whether the memory access of this time is performed to the same bank and the same page as the memory access of the last time or not. The CPU address can be utilized for judging the page hit since the unit of address translation from the CPU address to the DRAM logic address due to an address translation circuit 121 is set to the value higher than the page size of DRAM bank. Thus, the address translating operation and the page hit judging operation can be parallelly performed so that the page hit can be judging at a high speed and the memory access speed can be accelerated.

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 12/02	5 9 0		G 0 6 F 12/02	5 9 0 B

審査請求 未請求 請求項の数 7 O L (全 29 頁)

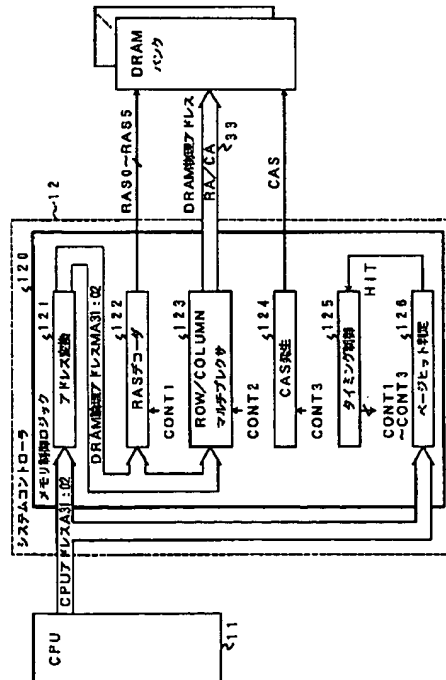
(21) 出願番号	特願平7-331862	(71) 出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22) 出願日	平成7年(1995)12月20日	(72) 発明者	中村 伸隆 東京都青梅市末広町2丁目9番地 株式会 社東芝青梅工場内
		(74) 代理人	弁理士 鈴江 武彦

(54) 【発明の名称】 メモリ制御システム

(57) 【要約】

【課題】 ページヒット判定を高速に実行できるようにし、メモリアクセス速度の高速化を実現する。

【解決手段】 ページヒット判定回路126は、DRAM論理アドレスではなく、CPUアドレスを用いて、今回のメモリアクセスが前回のメモリアクセスと同一バンク且つ同一ページであるか否かを判定する。ページヒット判定にCPUアドレスを利用することができるのは、アドレス変換回路121によるCPUアドレスからDRAM論理アドレスへのアドレス変換の単位がDRAMバンクのページサイズ以上の値に設定されているからである。よって、アドレス変換動作とページヒット判定動作とを並行して行うことが可能となり、ページヒット判定を高速に行うことができ、メモリアクセス速度の高速化を実現することができる。



## 【特許請求の範囲】

【請求項1】 複数のRAS信号がそれぞれ割り当てられ、互いに独立してアクセス可能な複数のDRAMバンクと、

これらDRAMバンクのページサイズ以上の変換単位で、CPUからのメモリアドレスを、前記複数のDRAMバンクに連続して割り当てられたDRAM論理アドレスに変換するアドレス変換手段と、

前回のメモリアクセス時におけるCPUからのメモリアドレスを保持し、そのメモリアドレスと今回のメモリアクセス時におけるCPUからのメモリアドレスとを比較し、一致した時に今回のメモリアクセスが前回のメモリアクセスと同一バンク且つ同一ページであることを示すページヒット信号を出力するページヒット判定手段と、前記アドレス変換手段から出力されるDRAM論理アドレスをデコードして、どのDRAMバンクのRAS信号を出力するかを決定するRASデコーダであって、前記ページヒット信号が出力された時、DRAMページモードアクセスのためのRAS信号出力制御を行うRASデコーダとを具備することを特徴するメモリ制御システム。

【請求項2】 前記CPUのホールドアクリッジサイクル、DRAMリフレッシュサイクル、RASタイムアウト、またはシステムリセットに従って、DRAMページモードアクセスが可能なページアクセス可能状態と前記DRAMページモードアクセスが不可能なページアクセス不可能状態との2つの状態を管理し、現在の状態が前記ページアクセス不可能状態の時、前記ページヒット信号を無効化する手段をさらに具備することを特徴とする請求項1記載のメモリ制御システム。

【請求項3】 前記CPUによってアドレッシング可能なメモリアドレス空間を構成する複数のメモリアドレスエリアそれぞれについて、リードアクセスを許可すべきメモリデバイスの種類を指定する情報とライトアクセスを許可すべきメモリデバイスの種類を指定する情報とを含むメモリ属性情報が定義されたメモリ属性テーブルをさらに具備し、

前記ページヒット判定手段は、

前回のメモリアクセス時におけるCPUからのメモリアドレスと一緒にそのメモリアドレスに対応するメモリアドレスエリアの前記メモリ属性情報がライトアクセスとリードアクセスとで異なるメモリデバイスを指定しているか否かを示す情報とそのときのメモリアクセスがライトアクセスとリードアクセスのいずれであるかを示すサイクル種別情報を保持し、ライトアクセスとリードアクセスとでアクセス対象のメモリデバイスが異なる場合は、保持されているメモリアドレスと今回のメモリアクセス時におけるCPUからのメモリアドレスとが一致し、且つ保持されている前記サイクル種別情報と今回のメモリアクセスのサイクル種別との一致を条件に、前記

ページヒット信号を出力することを特徴とする請求項1記載のメモリ制御システム。

【請求項4】 前記CPUによってアドレッシング可能なメモリアドレス空間を構成する複数のメモリアドレスエリアそれぞれについて、ライトプロテクトがなされているか否かを示すライトプロテクト情報とキャッシュメモリを使用したキャッシング操作が有効か否かを示すキャッシュ情報とを含むメモリ属性情報が定義されたメモリ属性テーブルをさらに具備し、

前記ページヒット判定手段は、

前回のメモリアクセス時におけるCPUからのメモリアドレスと一緒にそのメモリアドレスに対応するメモリアドレスエリアの前記メモリ属性情報を保持し、ページヒット判定結果と、保持されている前記メモリ属性情報とに基づいて、次に実行すべきサイクルの種別を決定することを特徴とする請求項1記載のメモリ制御システム。

【請求項5】 前記CPUによってプログラム可能に構成され、前記ページヒット判定手段および前記RASデコーダそれぞれの動作タイミングを指定するタイミング指定情報が設定されるレジスタを具備し、

前記ページヒット判定手段および前記RASデコーダそれぞれの動作タイミングをソフトウェアによる設定で可変できるようにしたことを特徴とする請求項1記載のメモリ制御システム。

【請求項6】 前記CPUのホールドアクリッジサイクル、DRAMリフレッシュサイクル、RASタイムアウト、またはシステムリセットに従って、DRAMページモードアクセスが可能なページアクセス可能状態と前記DRAMページモードアクセスが不可能なページアクセス不可能状態との2つの状態を管理し、現在の状態が前記ページアクセス不可能状態の時、前記ページヒット判定手段に保持されているメモリアドレス値を、DRAMアクセスに使用されることがない値に変更する手段をさらに具備することを特徴とする請求項1記載のメモリ制御システム。

【請求項7】 前記CPUのホールドアクリッジサイクル、DRAMリフレッシュサイクル、RASタイムアウト、またはシステムリセットに従って、DRAMページモードアクセスが可能なページアクセス可能状態と前記DRAMページモードアクセスが不可能なページアクセス不可能状態との2つの状態を管理し、現在の状態が前記ページアクセス不可能状態の時、前記ページヒット信号を無効にするために前記RASデコーダの全てのRAS信号出力をディセーブルする状態管理手段であって、前記DRAMバンクをアクセスするバスマスタが前記CPUとそれ以外の他のバスマスタとの間で切り替わるとき、そのバスマスタの切り替わりに応答して前記ページアクセス可能状態からページアクセス不可能状態に遷移する第1モードと遷移しない第2モードとを有し、それら2つのモードを選択的に使用可能に構成された状

態管理手段をさらに具備することを特徴とする請求項1記載のメモリ制御システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明はメモリ制御システムに関し、特にパーソナルコンピュータのメインメモリとして使用されるDRAMバンクを効率良くアクセスするための改良がなされたメモリ制御システムに関する。

【0002】

【従来の技術】近年、携行が容易でバッテリーにより動作可能なノートブックタイプまたはラップトップタイプのポータブルパーソナルコンピュータが種々開発されている。この種のパーソナルコンピュータにおいては動作速度の高速化が望まれており、最近では、大規模なキャッシュを内蔵する高性能マイクロプロセッサがCPUとして使用され始めている。

【0003】キャッシュ内蔵のマイクロプロセッサをCPUとして使用した場合には、メインメモリのアクセス回数を減らすことができ、ある程度はシステム動作性能の向上を図ることができる。

【0004】しかしながら、CPUがキャッシュを内蔵していてもメインメモリに対するアクセスが無くなるわけではなく、キャッシュミスが発生したときには、CPUがメインメモリに対してメモリリード/ライトサイクルを実行することが必要とされる。このため、実際には、システム性能を向上させるためには、CPUによるメモリリード/メモリライトサイクルの実行速度を早めることが必要不可欠となる。

【0005】パーソナルコンピュータのメインメモリとしては、通常、ダイナミックRAM(DRAM)が使用されている。DRAMは、スタティックRAM(SRAM)に比べて低コストである反面、アクセス速度が遅いという特徴を持つ。この問題を解決するため、最近ではDRAMチップ自体の改良などの半導体技術レベルでの改善に加え、ページモードアクセスやインタリーブ制御などの採用によるメモリアーキテクチャレベルでの改善も進められている。

【0006】これらページモードアクセスやインタリーブ制御を行うために、メモリ制御システムには、通常、ページヒット判定を行うためのロジックが組み込まれている。ページヒット判定というのは、DRAMのページモードアクセス方式において、CPUが発生するメモリアccessのアドレスが、直前に行われたアクセスと同一DRAMバンクの同一ページで得るかどうかを判定することである。同一ページであれば、RAS(ロウアドレスストロブ)の出し直しを必要としない高速アクセスが可能となる。

【0007】従来のメモリ制御システムでは、まず、CPUアドレスからDRAM論理アドレスへの変換が行われ、次いで、アクセスすべきDRAMバンクの選択が行

われて、その選択されたDRAMバンクが直前にアクセスされたDRAMバンクと同一であるか否かがRASデコードによって調べられる。同一バンクであれば、選択されたDRAMバンクへのロウアドレスと直前のアクセスのロウアドレスとがページヒット判定回路によって比較されて、ページヒット判定が行われる。

【0008】

【発明が解決しようとする課題】このように、従来では、ページヒット判定が行われる前に、アドレス変換、RASデコードといった処理が必要となり、結果として、ページヒット判定に時間がかかるという問題がある。このため、ページヒットした場合であっても、ウェイトサイクルが必要となり、十分な高速アクセスを実現することができなかった。

【0009】この発明はこのような点に鑑みてなされたもので、ページヒット判定を高速に実行できるようにし、メモリアccess速度の高速化を実現することができるメモリ制御システムを提供することを目的とする。

【0010】

【課題を解決するための手段】この発明によるメモリ制御システムは、複数のRAS信号がそれぞれ割り当てられ、互いに独立してアクセス可能な複数のDRAMバンクと、これらDRAMバンクのページサイズ以上の変換単位で、CPUからのメモリアドレスを、前記複数のDRAMバンクに連続して割り当てられたDRAM論理アドレスに変換するアドレス変換手段と、前回のメモリアccess時におけるCPUからのメモリアドレスを保持し、そのメモリアドレスと今回のメモリアccess時におけるCPUからのメモリアドレスとを比較し、一致した時に今回のメモリアccessが前回のメモリアccessと同一バンク且つ同一ページであることを示すページヒット信号を出力するページヒット判定手段と、前記アドレス変換手段から出力されるDRAM論理アドレスをデコードして、どのDRAMバンクのRAS信号を出力するかを決定するRASデコードであって、前記ページヒット信号が出力された時、DRAMページモードアクセスのためのRAS信号出力制御を行うRASデコードとを具備することを特徴する。

【0011】このメモリ制御システムにおいては、ページヒット判定手段により、DRAM論理アドレスではなく、CPUアドレスを用いて、今回のメモリアccessが前回のメモリアccessと同一バンク且つ同一ページであるか否かを判定するページヒット判定が行われる。ページヒット判定にCPUアドレスを利用することができるのは、CPUアドレスからDRAM論理アドレスへのアドレス変換の単位がDRAMバンクのページサイズ以上の値に設定されているからである。これにより、DRAM論理アドレスが前回と今回のアクセスとで同一ページを指定しているにもかかわらず、CPUアドレスが異なるページを指定することがなくなる。よって、アドレス

変換動作とページヒット判定動作とを並行して行うことが可能となり、ページヒット判定を高速に行うことができ、メモリアクセス速度の高速化を実現することができる。

【0012】また、前記ページヒット判定手段は、前回のメモリアクセス時におけるCPUからのメモリアドレスと一緒にそのメモリアドレスに対応するメモリアドレスエリアの前記メモリ属性情報がライトアクセスとリードアクセスとで異なるメモリデバイスを指定しているか否かを示す情報とそのときのメモリアクセスがライトアクセスとリードアクセスのいずれであるかを示すサイクル種別情報を保持し、ライトアクセスとリードアクセスとでアクセス対象のメモリデバイスが異なるときは、保持されているメモリアドレスと今回のメモリアクセス時におけるCPUからのメモリアドレスとが一致し、且つ保持されている前記サイクル種別情報と今回のメモリアクセスのサイクル種別との一致を条件に、前記ページヒット信号を出力するように構成することが好ましい。

【0013】これにより、ライトアクセスとリードアクセスとでアクセス対象のメモリデバイスが異なるときであっても、メモリ属性を高速に決定できるようになり、高速なページヒット判定を生かした高速メモリアクセスが可能になる。

【0014】さらに、メモリ属性情報として、ライトプロテクトがなされているか否かを示すライトプロテクト情報とキャッシュメモリを使用したキャッシング操作が有効か否かを示すキャッシュ情報とをページヒット判定手段にメモリアドレスと一緒に保持しておくことにより、次に実行すべきサイクルを効率よく決定することができる。

【0015】

【発明の実施の形態】以下、図面を参照してこの発明の実施形態を説明する。図1には、この発明の一実施形態に係るメモリ制御システムが適用されたコンピュータシステムが示されている。

【0016】このコンピュータシステムはノートブックタイプまたはラップトップタイプのポータブルパーソナルコンピュータを実現するためのものであり、システムボード10上には、図示のように、CPU11、システムコントローラ12、システムメモリ13、BIOS ROM14、リアルタイムクロック(RTC)15、割り込みコントローラ(PIC)16、キーボードコントローラ(KBC)17、ディスプレイコントローラ18などが実装されている。

【0017】また、システムボード10上には、CPUローカルバス(プロセッサバスと称する場合もある)31、ISA/EISA/PCIなどの仕様を持つシステムバス32、およびメモリアドレスバス33などが配設されている。

【0018】さらに、このシステムには、増設メモリを

接続するための2つの拡張用メモリコネクタ21、22が設けられている。図1においては、拡張メモリコネクタ21、22にそれぞれ増設メモリ41、42が接続されている状態が示されている。

【0019】増設メモリ41、42は、システムメモリサイズを拡張するためにユーザによって必要に応じて装着されるオプションメモリであり、例えばDRAMカードや、DIMMまたはSIMMメモリモジュールなどから構成されている。これら増設メモリは、通常、1以上のDRAMバンクから構成されている。

【0020】CPU11は、大規模なキャッシュメモリを内蔵したマイクロプロセッサであり、CPUローカルバス31を介してシステムコントローラ12に接続されている。CPUローカルバス31は、CPU11を構成するマイクロプロセッサの入出力ピンに直接繋がる信号群である。ここには、32ビットデータバス、32ビットアドレスバス、および各種ステータス信号線などが含まれている。

【0021】システムコントローラ12は、CPUローカルバス31とシステムバス32との間に接続されており、CPU11からの要求に応じてシステム内の全てのメモリおよびI/Oデバイスを制御する。このシステムコントローラ12は、ゲートアレイによって構成された1個のLSIによって実現されており、その中にはシステムメモリ13および増設メモリ41、42のDRAMを制御するためのメモリ制御ロジックが組み込まれている。

【0022】システムメモリ13は、このシステムのメインメモリとして使用されるものであり、通常、1以上のDRAMバンクから構成されている。このシステムメモリ13には、オペレーティングシステム、実行対象のアプリケーションプログラム、および各種処理データなどが格納される。

【0023】システムメモリ13は、所定のコネクタを介してまたは直接にシステムボード10上に実装されている。システムメモリ13は32ビットのメモリデバイスであり、そのデータポートはCPUローカルバス31の32ビットデータバスに接続され、また、アドレス入力ポートはメモリアドレスバス33に接続されている。メモリアドレスバス33はDRAM専用のアドレスバスであり、このメモリアドレスバス33上にはDRAMの物理アドレス(ロウアドレス/カラムアドレス)がシステムコントローラ12から出力される。

【0024】同様に、増設メモリ41、42もそれぞれ32ビットのメモリデバイスであり、対応するコネクタ21、22を介してそのデータポートがCPUローカルバス31の32ビットデータバスに接続され、アドレス入力ポートがメモリアドレスバス33に接続されている。

【0025】また、システムメモリ13には2本のロウ

アドレスストロブ信号線（RAS線：RAS0、RAS1）が接続されている。同様に、拡張メモリコネクタ21には別の2本のロウアドレスストロブ信号線（RAS線：RAS2、RAS3）が接続され、拡張メモリコネクタ22にも、別の2本のロウアドレスストロブ信号線（RAS線：RAS4、RAS5）が接続されている。

【0026】さらに、システムメモリ13および増設メモリ41、42には、カラムアドレスストロブ信号線（CAS線）、および他の各種制御信号線（ライトイネーブル信号線WE、アウトプットイネーブル信号線OEなど）がそれぞれ共通接続されている。

【0027】システムメモリ13および増設メモリ41、42内の全てのDRAMバンクは、CPU11のDRAM用メモリアドレス空間に配置される。このシステムにおいては、各RAS線のデコード条件の簡単化、およびインタリーブアーキテクチャを最大限有効利用するために、それらDRAMバンクはメモリサイズの大きなもの程若いアドレスの方に配置される。

【0028】システムメモリ13および増設メモリ41、42のリード/ライトアクセス制御においては、RAS線（RAS0～RAS5）の1つがアクティブ状態に設定され、そのアクティブ状態のRAS線に接続されたDRAMバンクがアクセス対象のDRAMバンクとして選択される。このようなRAS線の付勢制御は、システムコントローラ12のメモリ制御ロジックによって実行される。

【0029】図2には、メモリ制御ロジックの構成が示されている。

【0030】メモリ制御ロジック120は、DRAMのページモードアクセスおよびページインタリーブをサポートするハードウェアロジックであり、アドレス変換回路121、RASデコーダ122、ロウアドレス/カラムアドレスマルチプレクサ123、CAS発生回路124、タイミング制御回路125、およびページヒット判定回路126を有している。

【0031】アドレス変換回路121は、CPUアドレス（A31：02）をDRAM論理アドレス（MA31：02）に変換する。この変換は、CPU11のメモリアドレス空間に分散配置されている複数のDRAMメモリアreaをDRAMアクセス専用の論理アドレス空間に連続的に割り付けるために行われる。このアドレス変換動作の一例を図3に示す。

【0032】すなわち、図3（A）に示されているように、CPU11のメモリアドレス空間には、通常、システムメモリアreaやPMメモリアreaのようなDRAMエリアの他に、ビデオRAM、BIOS ROM、および各種オプションROMなどを配置するための予約領域（0A0000H～0C0000H）が確保されている。アドレス変換回路121は、このようなCPUメモ

リマップに応じて、予約領域の直前および直後のDRAMエリアのアドレスが連続するようにアドレス変換を行う。

【0033】また、BIOS ROMに格納されたVGA BIOSやシステムBIOSなどをDRAMにコピーして使用する場合には、図3（B）に示されているように、予約領域のVGA BIOSエリアおよびシステムBIOSエリアに割り当てられたCPUアドレスも、DRAM論理アドレスに変換される。さらに、システムマネージメントモード（SMM）を有するCPUの場合には、そのSMMの中でのみ使用されるSMRAMエリアに割り当てられたCPUアドレスもDRAM論理アドレスに変換される。

【0034】このようなCPUアドレスからDRAM論理アドレスへの変換は、例えば16Kバイト単位で行われる。このため、DRAM論理アドレスの下位ビット部（MA13：02）は、アドレス変換後においても、CPUアドレスの下位ビット部（A13：02）と等しい。

【0035】アドレス変換回路121によって得られたDRAM論理アドレス（MA31：02）は、システム内のDRAMバンクをアドレッシングするために使用される。

【0036】RASデコーダ122は、その内部レジスタにセットされたRAS0～RAS5それぞれのデコード条件に従ってDRAM論理アドレス（MA31：02）をデコードし、RAS0～RAS5線の中でそのDRAM論理アドレスが満たすデコード条件を持つRAS線を選択してそれをアクティブにする。RAS線をアクティブにするタイミングなどは、タイミング制御回路125からのタイミング制御信号CONT1によって制御される。

【0037】このRASデコーダ122のデコード動作は、各RAS線のデコード条件とDRAM論理アドレスとの一致/不一致を検出する事のみによって行うことができる。RAS0～RAS5線それぞれのデコード条件がどのように決定されるかについては、図3以降で詳述する。

【0038】ロウアドレス/カラムアドレスマルチプレクサ123は、DRAM論理アドレス（MA31：02）を、アクセス対象DRAMバンクをアドレッシングするためのロウアドレス（RA）とカラムアドレス（CA）に分解する。このロウアドレス/カラムアドレスマルチプレクサ123の内部レジスタには、各DRAMバンクのロウアドレス（RA）の開始ビット位置を示す制御パラメタが予めセットされている。ロウアドレス（RA）とカラムアドレス（CA）に分解する動作は、アクセス対象DRAMバンクに対応する制御パラメタに従って行われる。

【0039】ロウアドレス（RA）およびカラムアドレ

ス(CA)は、メモリバス33上に時分割的に出力される。この出力タイミングは、タイミング制御回路125からのタイミング制御信号CONT2によって制御される。

【0040】CAS発生回路124は、タイミング制御回路125からのタイミング制御信号CONT3に従って、CAS線の付勢を制御する。

【0041】タイミング制御回路125は、前述のタイミング制御信号CONT1~CONT3を発生することによって、RASデコーダ122、ロウアドレス/コラムアドレスマルチプレクサ123、およびCAS発生回路124の動作を制御する。タイミング制御信号の発生動作は、ページヒット判定回路126からのページヒット信号HITなどによって制御される。

【0042】ページヒット判定回路126は、前回のDRAMアクセス時のCPUアドレスをページヒット判定用CPUアドレスとして保持しており、そのCPUアドレスと次回のDRAMアクセス時のCPUアドレスとを比較することによって、ページヒットの有無を判定する。ここで、ページヒットとは、次回のDRAMアクセスが前回と同一のDRAMバンク内の同一ページをアクセスすることをいう。ページヒットしたことが判定されると、このことがページヒット信号HITによって、タイミング制御回路125に通知される。

【0043】このように、ページヒットの判定動作は、DRAM論理アドレスではなく、CPUアドレスの値に基づいて行われる。これにより、アドレス変換動作とページヒット判定動作とを並行して行うことが可能となる。ページヒット判定にCPUアドレスを利用することができるのは、CPUアドレスからDRAM論理アドレスへのアドレス変換の単位(16Kバイト)がDRAMバンクのページサイズ(最大4Kバイト程度)よりも大きな値に設定されているからである。これにより、DRAM論理アドレスが前回と今回のアクセスとで同一ページを指定しているにもかかわらず、CPUアドレスが異なるページを指定することがなくなる。

【0044】ページヒットの判定には、CPUアドレス(A31:02)の中でコラムアドレス以降の全上位アドレスが使用される。従来方式では、DRAMアクセスか否かの判定、DRAMアクセスナラバソバンクを決定するために使用されていたアドレスを含む。

【0045】コラムアドレスのビット数、つまりページサイズはアクセス対象のDRAMバンク毎に異なる。このため、ページヒット判定回路126の内部レジスタにもページヒット判定に使用すべきビットをRAS線毎に指定する制御パラメタが予めセットされており、アクセス対象DRAMバンクに対応する制御パラメタに従ってページヒットの判定が行われる。

【0046】このメモリ制御ロジック120によるDRAM制御タイミングは、次の3つの状態に対応したサイ

クルタイミングに分類される。

【0047】(1)ページヒット

これは、今回のDRAMアクセスが前回と同一のDRAMバンク内の同一ページをアクセスすることをいう。この場合、DRAMバンクはページモードでアクセス制御される。すなわち、コラムアドレスおよびCAS線の付勢タイミングだけが制御され、RASデコーダ122によるRAS線の切り替えは行われない。また、前回のメモリサイクルが終了してもRAS線はアクティブ状態に維持され続ける。

【0048】(2)バンクミス

これは、今回のDRAMアクセスが前回と異なるDRAMバンクをアクセスすることをいう。この場合、RASデコーダ122によるRAS線の切り替えが発生し、DRAMバンクは通常のDRAMアクセスサイクルでアクセスされる。また、ページヒット判定回路126に保持されているページヒット判定用CPUアドレスの更新が行われる。

【0049】(3)ページミス

これは、今回のDRAMアクセスが前回と同一のDRAMバンク内の異なるページをアクセスすることをいう。この場合、RASデコーダ122によって前回と同一のRAS線が再びアクティブ状態に設定し直され、DRAMバンクは通常のDRAMアクセスサイクルでアクセスされる。また、ページヒット判定回路126に保持されているページヒット判定用CPUアドレスの更新が行われる。

【0050】次に、図4乃至図6を参照して、RASデコーダ122に設定される各RAS線のデコード条件について説明する。

【0051】図4には、システム内のDRAMメモリマップの一例が示されている。このDRAMメモリマップは、図1に示されているように、システムボード10上にシステムメモリ13として2個の2MバイトDRAMバンクが実装されており、拡張メモリコネクタ21の増設メモリ41が1個の8MバイトDRAMバンクから構成され、また拡張メモリコネクタ22の増設メモリ42が2個の4MバイトDRAMバンクから構成されている場合に対応するものである。

【0052】この場合、これらDRAMバンクは、メモリサイズの大きいもの順、すなわち、図4のように、8MバイトDRAMバンク、2個の4MバイトDRAMバンク、2個の2MバイトDRAMバンクの順で、合計20MバイトのDRAM論理アドレス空間に配置される。

【0053】このメモリ配置においては、8MバイトDRAMバンクに対応するRAS2線には0~8Mバイトのアドレス範囲が割り当てられる。また、最初の4MバイトDRAMバンクに対応するRAS4線には8~12Mバイトのアドレス範囲、次の4MバイトDRAMバンクに対応するRAS5線には12~16Mバイトのアド

レス範囲が割り当てられる。さらに、最初の2MバイトDRAMバンクに対応するRAS0線には16~18Mバイトのアドレス範囲、次の2MバイトDRAMバンクに対応するRAS1線には18~20Mバイトのアドレス範囲が割り当てられる。RAS3線は使用されないで、このRAS3線にはアドレス範囲は割り当てられない。

【0054】この時、RAS0~RAS5線それぞれのデコード条件は、図5のように決定される。

【0055】RAS0~RAS5線それぞれのデコード条件としては、各RAS線に割り当てられたアドレス範囲に属する全てのDRAM論理アドレス値(MA31:02)にのみ共通に存在するビット列が使用される。

【0056】すなわち、RAS2線のデコード条件は、DRAM論理アドレス値(MA31:02)の上位9ビット(MA31~23) = "0000 0000 0"となる。DRAM論理アドレス値(MA31:02)の下位21ビットは、RAS2線に接続された8MバイトDRAMバンクのロウアドレスおよびカラムアドレスとして使用される。

【0057】また、RAS4線のデコード条件は、DRAM論理アドレス値(MA31:02)の上位10ビット(MA31~22) = "0000 0000 10"となる。DRAM論理アドレス値(MA31:02)の下位20ビットは、RAS4線に接続された4MバイトDRAMバンクのロウアドレスおよびカラムアドレスとして使用される。

【0058】RAS5線のデコード条件は、DRAM論理アドレス値(MA31:02)の上位10ビット(MA31~22) = "0000 0000 11"となる。DRAM論理アドレス値(MA31:02)の下位20ビットは、RAS5線に接続された4MバイトDRAMバンクのロウアドレスおよびカラムアドレスとして使用される。

【0059】RAS0線のデコード条件は、DRAM論理アドレス値(MA31:02)の上位11ビット(MA31~21) = "0000 0001 000"となる。DRAM論理アドレス値(MA31:02)の下位19ビットは、RAS0線に接続された2MバイトDRAMバンクのロウアドレスおよびカラムアドレスとして使用される。

【0060】RAS1線のデコード条件は、DRAM論理アドレス値(MA31:02)の上位11ビット(MA31~21) = "0000 0001 000"となる。DRAM論理アドレス値(MA31:02)の下位19ビットは、RAS0線に接続された2MバイトDRAMバンクのロウアドレスおよびカラムアドレスとして使用される。

【0061】このように、各RAS線のデコード条件としては、各RAS線に対応するアドレス範囲に属する共

通ビット列が使用される。このため、前述のRASデコーダ122は、DRAM論理アドレス値とデコード条件との一致/不一致をRAS線毎に検出するだけで済み、従来に比し、そのハードウェア構成を大幅に簡単化することが可能となる。

【0062】次に、ページインタリーブアーキテクチャを採用する場合の各RAS線のデコード条件について説明する。

【0063】ページインタリーブを行う場合には、図4のようにマッピングされた5つのDRAMバンクは、ページインタリーブ可能なバンクグループに分類される。各バンクグループは、メモリアドレス範囲が隣接し且つ合計メモリサイズが一致するバンクの組み合わせを含む。このようなグループピングは、DRAM論理アドレスの若い方から順番に行われる。

【0064】すなわち、図4の例では、RAS2の8MバイトDRAMバンクのアドレス範囲(0~8Mバイト)に後続するアドレス範囲に割り付けられた2個の4MバイトDRAMバンクの合計メモリサイズが8Mバイトとなるので、RAS2、RAS4、RAS5に対応する3つのバンクによって1つのページインタリーブグループが構成される。

【0065】また、RAS0の2MバイトDRAMバンクのアドレス範囲(16~8Mバイト)に後続するアドレス範囲にRAS1の2MバイトDRAMバンクが割り付けられているので、RAS0、RAS1に対応する2つのバンクによって別のページインタリーブグループが構成される。

【0066】この場合、各RAS線のデコード条件は図5から図6のように変更される。

【0067】すなわち、グループ1のRAS2、RAS4、RAS5それぞれのデコード条件としては、グループ1に割り当てられる合計16Mバイトのアドレス範囲(0~16Mバイト)に属する全てのDRAM論理アドレス値(MA31:02)に共通に存在するビット列と、RAS2、RAS4、RAS5それぞれに対応するDRAMバンクのカラムアドレス(ページ内アドレス)とロウアドレス(ページアドレス)の間のビット列とが使用される。

【0068】すなわち、図6のように、RAS2、RAS4、およびRAS5に割り当てられる合計16Mバイトのアドレス範囲においては、DRAM論理アドレス値(MA31:02)の上位8ビット(MA31~24) = "0000 0000"が共通して存在し、これはグループ2には存在しない。したがって、(MA31~24) = "0000 0000"は、RAS2、RAS4、およびRAS5の共通のデコード条件として使用される。

【0069】RAS2については、DRAM論理アドレスにおけるロウアドレスの開始位置が1ビット左シフト



されて、RAS2に対応する8MバイトDRAMバンクのロウアドレスとカラムアドレスとの間の1ビット(MA12) = "0" がデコード条件として加えられる。

【0070】RAS4, RAS5それぞれについては、DRAM論理アドレスにおけるロウアドレスの開始位置が2ビット左シフトされて、それらに対応する4MバイトDRAMバンクそれぞれのロウアドレスとカラムアドレスの間の2ビット(MA13, 12)の値がアドレス条件として加えられる。2ビット使用されるのは、RAS4, RAS5それぞれのメモリサイズが、RAS2のメモリサイズの半分だからである。

【0071】すなわち、RAS4については、そのRAS4に対応する4MバイトDRAMバンクのロウアドレスとカラムアドレスの間の2ビット(MA13, 12) = "01" がデコード条件として加えられ、RAS5については、そのRAS5に対応する4MバイトDRAMバンクのロウアドレスとカラムアドレスの間の2ビット(MA13, 12) = "11" がアドレス条件として加えられる。

【0072】このようにRAS2, RAS4, RAS5のデコード条件を決定すると、RAS2の8MバイトDRAMバンクには0~16Mバイトのアドレス範囲の中の偶数ページ(0, 2, 4, 6, ……)が割り当てられ、RAS4の4MバイトDRAMバンクには0~16Mバイトのアドレス範囲の中の奇数ページの一部(1, 5, 9, ……)が割り当てられ、RAS5の4MバイトDRAMバンクには0~16Mバイトのアドレス範囲の中の残りの奇数ページ(3, 7, 11, ……)が割り当てられる。

【0073】したがって、0~16Mバイトの範囲で連続アクセスが行われる時には、RAS2, RAS4, RAS2, RAS5, RAS2, ……という順番で、3つのDRAMバンクがページ単位で交互にアクセスされる。

【0074】一方、グループ2のRAS0, RAS1それぞれのデコード条件は、次のようになる。

【0075】すなわち、RAS0, RAS1それぞれのデコード条件としては、グループ2に割り当てられる合計4Mバイトのアドレス範囲(16~20Mバイト)に属する全てのDRAM論理アドレス値(MA31:02)に共通に存在するビット列と、RAS0, RAS1それぞれに対応するDRAMバンクのカラムアドレスとロウアドレスの間のビット列とが使用される。

【0076】RAS0, RAS1に割り当てられる合計4Mバイトのアドレス範囲においては、DRAM論理アドレス値(MA31:02)の上位10ビット(MA31~22) = "0000 0001 00" が共通して存在し、これはグループ1には存在しない。したがって、(MA31~22) = "0000 0001 00" は、RAS0, RAS1の共通のデコード条件とし

て使用される。

【0077】また、RAS0については、DRAM論理アドレスにおけるロウアドレスの開始位置が1ビット左シフトされて、RAS0に対応する2MバイトDRAMバンクのロウアドレスとカラムアドレスとの間の1ビット(MA11) = "0" がデコード条件として加えられる。

【0078】RAS1についても、DRAM論理アドレスにおけるロウアドレスの開始位置が1ビット左シフトされて、それに対応する2MバイトDRAMバンクのロウアドレスとカラムアドレスの間の1ビット(MA11) = "1" がデコード条件として加えられる。

【0079】このようにRAS0, RAS1のデコード条件を決定すると、RAS0の2MバイトDRAMバンクには16~20Mバイトの4Mバイトのアドレス範囲の中の偶数ページ(0, 2, 4, 6, ……)が割り当てられ、RAS1の2MバイトDRAMバンクには奇数ページ(1, 3, 5, 7, ……)が割り当てられる。したがって、16~20Mバイトの範囲で連続アクセスが行われる時には、RAS0, RAS1, RAS0, RAS1, ……という順番で、2つのDRAMバンクがページ単位で交互にアクセスされる。

【0080】このように、ページインタリーブは、インタリーブグループのアドレス範囲に共通に存在するビット列と、ロウアドレスとカラムアドレスとの間の所定ビット列とに基づいて各RASのデコード条件を決定し、それをRASデコーダ122に設定するだけで実現する事ができる。

【0081】RASデコーダ122へのデコード条件の設定などのメモリ制御ロジック120に対する初期設定処理は、BIOS ROM14のIRTルーチンによって実行される。

【0082】図7には、BIOSのIRTルーチンによって実行されるメモリ制御ロジック120に対する初期設定動作の手順が示されている。

【0083】システムがパワーオンされると、IRTルーチンは、まず、各DRAMバンクのメモリタイプ(カラムアドレスおよびロウアドレスそれぞれのビット幅)を調べ、そのメモリバンクタイプにしたがってメモリサイズを検出する(ステップS11)。カラムアドレスとロウアドレスそれぞれのビット幅は、テスト対象DRAMバンクのある特定のメモリ番地に対するライト・リード・コンペアテストを実行することによって検出できる。

【0084】このステップS11で行われるメモリサイズ検出処理動作の詳細については、図8以降で後述する。

【0085】次に、IRTルーチンは、システム内のDRAMバンクのメモリ再配置を行う(ステップS12)。このメモリ再配置では、図4で説明したように、

メモリサイズの大きいDRAMバンクから順にメモリアドレス空間の若い方に配置され、その配置に従って各DRAMバンクに割り当てべきアドレス範囲が決定される。

【0086】次いで、IRTルーチンは、図5で説明したように、DRAMバンクそれぞれに割り当てられたアドレス範囲毎にその範囲に属するDRAM論理アドレス値にのみ共通に存在するビット列を検出し、その共通ビット列をRAS線それぞれのデコード条件として決定する(ステップS13)。

【0087】ページインタリーブアーキテクチャを用いない場合には、IRTルーチンは、ステップS13で決定した各RAS線のデコード条件を、そのままRASデコーダ122の内部レジスタにセットする(ステップS17)。次いで、IRTルーチンは、ロウアドレス/カラムアドレスマルチプレクサ123の内部レジスタにロウアドレス開始位置をRAS線毎に指定する制御パラメータをセットし、またページヒット判定回路126の内部レジスタにページヒット判定に使用するCPUアドレスの位置をRAS線毎に指定する制御パラメータをセットする(ステップS18)。これら制御パラメータの値は、それぞれステップS11で検出されたメモリバンクタイプに従って決定される。

【0088】一方、ページインタリーブアーキテクチャを採用する場合には、IRTルーチンは、ステップS12でメモリサイズ順に配置したDRAMマップに従って、ページインタリーブ可能なグループを決定する(ステップS15)。次いで、IRTルーチンは、ページインタリーブグループのアドレス範囲に共通に存在するビット列と、ロウアドレスとカラムアドレスとの間の所定ビット列とに基づいて各RASのデコード条件を変更する(ステップS16)。

【0089】この後、IRTルーチンは、ステップS16で決定した各RAS線のデコード条件を、RASデコーダ122の内部レジスタにセットする(ステップS17)。次いで、IRTルーチンは、ロウアドレス/カラムアドレスマルチプレクサ123の内部レジスタにロウアドレス開始位置をRAS線毎に指定する制御パラメータをセットし、またページヒット判定回路126の内部レジスタにページヒット判定に使用するCPUアドレスの位置をRAS線毎に指定する制御パラメータをセットする(ステップS18)。ロウアドレス開始位置は、ステップS11で検出されたメモリバンクタイプと、ページインタリーブのためのデコード条件として使用したロウアドレスとカラムアドレス間のビット数とに基づいて決定される。また、ページヒット判定に使用するCPUアドレスの位置については、ステップS11で検出されたメモリバンクタイプに従って決定される。

【0090】次に、図8乃至図12を参照して、DRAMバンクのメモリサイズ検出処理の原理を説明する。

【0091】まず、図8を参照して、1本のRASでアクセス制御可能なDRAMバンクの種類について説明する。DRAMバンクは、図示のように、タイプ1～タイプ4の4つのバンクに大別される。

【0092】タイプ1のDRAMバンクは、2Mバイトのメモリサイズを有する。このタイプ1のDRAMバンクは、512K(1K行×512列)×8ビット構成の4MビットDRAMチップを4個含んでおり、ロウアドレスのビット幅は10ビット、カラムアドレスのビット幅は9ビットである。

【0093】タイプ2のDRAMバンクは、4Mバイトのメモリサイズを有する。このタイプ2のDRAMバンクは、1M(1K行×1K列)×4ビット構成の4MビットDRAMチップを8個含んでおり、ロウアドレスのビット幅は10ビット、カラムアドレスのビット幅は10ビットである。

【0094】タイプ3のDRAMバンクは、8Mバイトのメモリサイズを有する。このタイプ3のDRAMバンクは、2M(2K行×1K列)×8ビット構成の16MビットDRAMチップを4個含んでおり、ロウアドレスのビット幅は11ビット、カラムアドレスのビット幅は10ビットである。

【0095】タイプ4のDRAMバンクは、16Mバイトのメモリサイズを有する。このタイプ4のDRAMバンクは、4M(2K行×2K列)×4ビット構成の16MビットDRAMチップを8個含んでおり、ロウアドレスのビット幅は11ビット、カラムアドレスのビット幅は11ビットである。

【0096】図9、図10、および図11には、それぞれ図1のシステムメモリ13、増設メモリ41、および増設メモリ42のメモリ構成が示されている。

【0097】システムメモリ13がタイプ1の2個の2MバイトDRAMバンクによって構成されている場合には、図9に示されているように、一方の2MバイトDRAMバンクの4つのDRAMチップはRAS0線およびCAS線に共通接続され、他方の2MバイトDRAMバンクの4つのDRAMチップはRAS1線、およびCAS線に共通接続される。また、これら2つの2MバイトDRAMバンク内の全てのチップは、メモリアドレスバス33、およびデータバス322の双方に並列接続される。

【0098】これら2つの2MバイトDRAMバンクのどちらがアドレス指定されるかは、RAS0とRAS1のどちらが付勢されるかによって決定される。

【0099】RAS0線が付勢された場合には、その時にメモリアドレスバス33上に出力されているアドレス値の下位10ビットがロウアドレスとしてそのRAS0線に接続されている4つのチップにそれぞれ取り込まれる。この後、RAS0線に接続されている4つのチップは、CAS線が付勢された時にメモリアドレスバス33

上に出力されているアドレス値の下位9ビットをカラムアドレスとして取り込む。これら10ビットのロウアドレスおよび9ビットのカラムアドレスによってRAS0線に接続されている4つのチップそれぞれの同一番地が同時にアドレス指定され、1チップ当たり8ビットの合計32ビット単位でRAS0線に対応するDRAMバンクがリード/ライトアクセスされる。

【0100】同様に、RAS1線が付勢された場合には、その時にメモリアドレスバス33上に出力されているアドレス値の下位10ビットのロウアドレスがそのRAS1線に接続されている4つのチップにそれぞれ取り込まれる。この後、RAS1線に接続されている4つのチップは、CAS線が付勢された時にメモリアドレスバス33上に出力されているアドレス値の下位9ビットのカラムアドレスを取り込む。これら10ビットのロウアドレスおよび9ビットのカラムアドレスによって、RAS1線に接続されている4つのチップそれぞれの同一記憶位置が同時にアドレス指定され、1チップ当たり8ビットの合計32ビット単位でRAS1線に対応するDRAMバンクがリード/ライトアクセスされる。

【0101】増設メモリ41がタイプ3の1個の8MバイトDRAMバンクによって構成されている場合には、図10に示されているように、その8MバイトDRAMバンクの4つのDRAMチップはRAS2線およびCAS線に共通接続される。また、8MバイトDRAMバンク内の全てのチップは、メモリアドレスバス33、およびデータバス322の双方に並列接続される。

【0102】RAS2線が付勢された場合には、その時にメモリアドレスバス33上に出力されているアドレス値の下位11ビットがロウアドレスとしてそのRAS2線に接続されている4つのチップにそれぞれ取り込まれる。この後、RAS2線に接続されている4つのチップは、CAS線が付勢された時にメモリアドレスバス33上に出力されているアドレス値の下位10ビットをカラムアドレスとして取り込む。これら11ビットのロウアドレスと10ビットのカラムアドレスとによって、RAS0線に接続されている4つのチップそれぞれの対応する記憶位置が同時にアドレス指定され、1チップ当たり8ビットの合計32ビット単位で、RAS2線に対応するDRAMバンクがリード/ライトアクセスされる。

【0103】増設メモリ42がタイプ2の2個の4MバイトDRAMバンクによって構成されている場合には、図11に示されているように、一方の4MバイトDRAMバンクの8つのDRAMチップはRAS4線およびCAS線に共通接続され、他方の4MバイトDRAMバンクの8つのDRAMチップはRAS5線およびCAS線に共通接続される。また、これら4MバイトDRAMバンク内の全てのチップは、メモリアドレスバス33、およびデータバス322の双方に並列接続される。

【0104】これら2つの4MバイトDRAMバンクの

どちらがアドレス指定されるかは、RAS4とRAS5のどちらが付勢されるかによって決定される。

【0105】RAS4線が付勢された場合には、その時にメモリアドレスバス33上に出力されているアドレス値の下位10ビットがロウアドレスとしてそのRAS4線に接続されている8つのチップにそれぞれ取り込まれる。この後、RAS4線に接続されている8つのチップは、CAS線が付勢された時にメモリアドレスバス33上に出力されているアドレス値の下位10ビットをカラムアドレスとして取り込む。これら10ビットのロウアドレスおよび10ビットのカラムアドレスによって、RAS4線に接続されている8つのチップそれぞれの同一記憶位置が同時にアドレス指定され、1チップ当たり4ビットの合計32ビット単位でRAS4線に対応するDRAMバンクがリード/ライトアクセスされる。

【0106】同様に、RAS5線が付勢された場合には、その時にメモリアドレスバス33上に出力されているアドレス値の下位10ビットがロウアドレスとしてそのRAS5線に接続されている8つのチップにそれぞれ取り込まれる。この後、RAS5線に接続されている8つのチップは、CAS線が付勢された時にメモリアドレスバス33上に出力されているアドレス値の下位10ビットをカラムアドレスとして取り込む。これら10ビットのロウアドレスおよび10ビットのカラムアドレスとによって、RAS5線に接続されている8つのチップそれぞれの同一記憶位置が同時にアドレス指定され、1チップ当たり4ビットの合計32ビット単位でRAS5線に対応するDRAMバンクがリード/ライトアクセスされる。

【0107】このように、DRAMバンクのタイプ毎に、ロウアドレスとして使用されるビット数とカラムアドレスとして使用されるビット数との関係が異なっている。各RAS線に接続されたDRAMバンクのメモリサイズは、ロウアドレスおよびカラムアドレスとして使用されるビット数の違いを利用して検出される。

【0108】以下、図12のフローチャートを参照して、IRTルーチンのステップS11で実行されるメモリサイズ検出処理の手順を説明する。

【0109】IRTルーチンは、RAS0、RAS1、RAS2、…の順で、RAS線に接続されたDRAMバンクのメモリサイズ検出処理を行う。IRTルーチンは、まず、検査対象のRAS線の付勢だけが許可されるように、RASデコーダ122に所定のデコード条件をセットする(ステップS21)。この場合、検査対象RAS線のデコード条件としては、メモリサイズ検出のために行われる何回かのメモリアccessで使用されるメモリアドレス値に共通のビット列が使用される。また、検査対象RAS線を除く他の全てのRAS線については、メモリサイズ検出のために行われる何回かのメモリアccessでそれらRAS線が付勢されないように、検査

対象RAS線とは異なる所定のビット列がそれぞれのデコード条件として設定される。

【0110】次いで、IRTルーチンは、タイプ1～タイプ4のDRAMバンクの中で最もカラムアドレスのビット数が大きいタイプ4のDRAMバンク（カラムアドレスCA=11ビット、ロウアドレスRA=11ビット）が検査対象RAS線に接続されていると想定し、そのDRAMバンクに対してライト・リード・コンペアテストを行う（ステップS22）。この場合、ロウアドレス/カラムアドレスマルチプレクサ123には、タイプ4のDRAMバンクに対応する制御パラメタがセットされる。ライト・リード・コンペアテストでは、ライトアドレス00001000H（Hは16進表示を示す）のライトアクセスと、リードアドレス00000000Hのリードアクセスとが行われ、その時のライトデータとリードデータの一致の有無が調べられる（ステップS23）。

【0111】もし、検査対象RAS線に実際に接続されているDRAMバンクが想定した通りのタイプ4のDRAMバンクであれば、アドレス00001000Hに正常にデータを書き込むことができるので、ライトデータとリードデータの値は不一致となる。一方、検査対象RAS線に実際に接続されているDRAMバンクがそのカラムアドレス数が10ビット以下のタイプ1、タイプ2、またはタイプ3のバンクであった場合には、ライトデータとリードデータの値は一致する。これは、次の理由による。

【0112】すなわち、ステップS22ではタイプ4のDRAMバンクに対応する設定が成されているので、アドレス00001000Hのライトアクセス時に出力される11ビットのロウアドレスRA（MA23, ……, MA13）=000000000000であり、11ビットのカラムアドレスCA（MA12, ……, MA02）=100000000000である。カラムアドレス数が10ビット以下のDRAMバンクにおいては、11ビットのカラムアドレスCAの最上位ビットMA12の値“1”は無視される。このため、タイプ1、タイプ2、またはタイプ3のバンクが接続されている場合には、ライトアドレス00001000Hのライトアクセスによって、その先頭行におけるカラムアドレスCA=0000000000で指定される番地、すなわちアドレス00000000Hにデータが書き込まれる。これにより、リードアドレス00000000Hのリードアクセスで読み出されたリードデータがライトデータと一致する。

【0113】したがって、ステップS23でライトデータとリードデータの不一致が検出された時は、検査対象RAS線に接続されているDRAMバンクは想定した通りのタイプ4のDRAMバンク（CA=11ビット、RA=11ビット、メモリサイズ=16Mバイト）である

と判定され（ステップS24）、一方、ライトデータとリードデータの一致が検出された場合には、検査対象RAS線に接続されているDRAMバンクはカラムアドレスビット数が10ビット以下の他のタイプ（タイプ1、タイプ2、またはタイプ3）のDRAMバンクであると判定される。この場合には、次のようなステップS25以降の処理が行われる。

【0114】すなわち、IRTルーチンは、今度は、タイプ4の次にカラムアドレスビット数が大きいタイプ3（またはタイプ2）のメモリ構成（カラムアドレスCA=10ビット、ロウアドレスRA=11ビット）が検査対象RAS線に接続されていると想定して、そのDRAMバンクに対してライト・リード・コンペアテストを行う（ステップS25）。このライト・リード・コンペアテストでは、ライトアドレス00000800Hのライトアクセスと、リードアドレス00000000Hのリードアクセスとが行われ、その時のライトデータとリードデータの一致の有無が調べられる（ステップS26）。

【0115】もし、検査対象RAS線に実際に接続されているDRAMバンクがそのカラムアドレス数が9ビット以下のタイプ1のDRAMバンクであった場合には、前述と同様にカラムアドレスの最上位ビット“1”が無視されるため、そのタイプ1のDRAMバンクのアドレス00000000Hで指定される番地にデータが書き込まれる。この結果、ライトデータとリードデータの値は一致する。したがって、ライトデータとリードデータの一致が検出された場合には、検査対象RAS線に接続されているDRAMバンクがタイプ1のDRAMバンク（CA=9ビット、RA=10ビット、メモリサイズ=2Mバイト）であると判定される（ステップS27）。

【0116】一方、検査対象RAS線に実際に接続されているDRAMバンクが想定した通りの10ビットのカラムアドレスビット数を持つタイプ2またはタイプ3のDRAMバンクであれば、アドレス00010000Hに正常にデータを書き込むことができるので、ライトデータとリードデータの値は不一致となる。したがって、ライトデータとリードデータの不一致が検出された場合には、タイプ2またはタイプ3のどちらのDRAMバンクが接続されているかを検出するために、次のようなステップS28以降の処理が行われる。

【0117】すなわち、IRTルーチンは、今度は、それらDRAMバンクの中でロウアドレスビット数が大きいタイプ3のDRAMバンク（カラムアドレスCA=10ビット、ロウアドレスRA=11ビット）が接続されていると想定して、そのDRAMバンクに対してライト・リード・コンペアテストを行う（ステップS28）。

【0118】このライト・リード・コンペアテストでは、ライトアドレス00400000Hのライトアクセスと、リードアドレス00000000Hのリードアク

セスとが行われ、その時のライトデータとリードデータの一致の有無が調べられる（ステップS29）。

【0119】もし、検査対象RAS線に実際に接続されているDRAMバンクが想定した通りのタイプ3のDRAMバンクであれば、アドレス00400000Hに正常にデータを書き込むことができるので、ライトデータとリードデータの値は不一致となる。一方、検査対象RAS線に実際に接続されているDRAMバンクがそのロウアドレス数が10ビットのタイプ2のバンクであった場合には、ライトデータとリードデータの値は一致する。これは、次の理由による。

【0120】すなわち、ステップS28ではタイプ3のDRAMバンクに対応する設定が成されているので、アドレス00400000Hライトアクセス時に出力される11ビットのロウアドレスはRA(MA22, …, MA12)=10000000000であり、10ビットのカラムアドレスCA(MA11, …, MA02)=0000000000である。ロウアドレス数が10ビットのタイプ2のDRAMバンクにおいては、11ビットのロウアドレスRAの最上位ビットMA22の値“1”は無視される。このため、タイプ2のバンクが接続されている場合には、ライトアドレス00400000Hのライトアクセスによって、その先頭行におけるカラムアドレスCA=0000000000で指定される番地、すなわちアドレス00000000Hにデータが書き込まれる。これにより、リードアドレス00000000Hのリードアクセスで読み出されたリードデータがライトデータと一致する。

【0121】したがって、ステップS29でライトデータとリードデータの不一致が検出された時は、検査対象RAS線に接続されているDRAMバンクは想定した通りのタイプ3のDRAMバンク(CA=10ビット、RA=11ビット、メモリサイズ=8Mバイト)であると判定され(ステップS30)、一方、ライトデータとリードデータの一致が検出された場合には、検査対象RAS線に接続されているDRAMバンクはロウアドレスビット数が10ビットのタイプ2のDRAMバンク(CA=10ビット、RA=10ビット、メモリサイズ=4Mバイト)であると判定される(ステップS31)。

【0122】次に、図2で説明したRASデコーダ122、ロウアドレス/カラムアドレスマルチプレクサ123、およびページヒット判定回路126それぞれの具体的な回路構成について説明する。

【0123】図13には、RASデコーダ122の具体的な回路構成が示されている。RASデコーダ123は、図示のように、RAS0線～RAS5線にそれぞれ対応する6個のRASデコード回路51～56を含んでいる。これらRASデコード回路51～56は、それぞれDRAM論理アドレス(MA31:02)と対応するデコード条件との一致/不一致を調べ、一致した際に対応

するRAS線を所定のタイミングで付勢制御する。この場合、実際には30ビットのDRAM論理アドレス(MA31:02)全てのビット値を見る必要はなく、サポートするDRAMバンクの種類、最大DRAM論理アドレス空間などの条件から、MA26, MA25, MA24, MA23, MA22, MA21, 飛んで、MA13, MA12, MA11の9ビットだけがデコードに使用される。

【0124】RASデコード回路51～56はどれも同じ回路構成であるので、ここでは、RASデコード回路51の回路構成を代表して説明する。

【0125】RASデコード回路51は、RASセットレジスタ61、RASマスクレジスタ62、9個の一致/不一致検出回路71～79、9個のマスク回路71～79、およびAND回路91から構成されている。

【0126】RASセットレジスタ61は、CPU11によってリード/ライト可能なI/Oレジスタであり、ここにはRAS0線のデコード条件を示すビット列がセットされる。例えば、RAS0線のデコード条件が図5のように決定された場合には、“00100X XX1”がRAS0線のデコード条件としてRASセットレジスタ61にセットされる。ここで、Xはデコード条件に関係しないビット値(Don't Care)を意味する。

【0127】RASマスクレジスタ62は、CPU11によってリード/ライト可能なI/Oレジスタであり、ここにはRAS0線のデコード条件とDRAM論理アドレスとの一致/不一致の判定結果をビット毎にマスクするか、しないかを指定するマスクデータ(“0”=マスクする、“1”=マスクしない)がセットされる。ここで、マスクするというのは、デコード条件のビット列の対応する1ビットの判定結果に関係なく、そのビットの判定結果を常に一致したことにすることを意味する。したがって、RASセットレジスタ61に前述のようにデコード条件として“00100X XX1”がセットされた場合には、RASマスクレジスタ62には、マスクデータ“111110 001”がセットされる。これにより、デコード条件の“00100X XX1”の内“X”のビットをデコード条件から除外することができる。

【0128】一致/不一致検出回路71～79は、それぞれDRAM論理アドレスとデコード条件の対応するビット同士の一致/不一致を検出する。これら一致/不一致検出回路71～79の各々は、排他的論理和ゲートから実現する事ができる。9個のマスク回路71～79は、それぞれ対応する一致/不一致検出回路71～79の検出結果出力をマスクする。

【0129】このように、RASデコーダ122は、1本のRAS線当たり9ビットのデータサイズに相当するデータの一致/不一致を行うためのロジックだけで実現

する事ができる。

【0130】次に、図14を参照して、ロウアドレス/カラムアドレスマルチプレクサ123の具体的な回路構成について説明する。

【0131】ロウアドレス/カラムアドレスマルチプレクサ123は、図示のように、レジスタファイル201、パターンデコーダ202、ロウアドレスセクタ203、ロウアドレス開始位置切り替え回路204~207、およびロウアドレス/カラムアドレスセクタ208から構成されている。

【0132】レジスタファイル201は、CPU11によってリード/ライト可能なI/Oレジスタ群であり、ここにはRAS0~RAS5線それぞれに対応する6つの制御パラメタがセットされる。各制御パラメタは、対応するRAS線に接続されたDRAMバンクのロウアドレス開始位置、つまりDRAM論理アドレスのどのbitをロウアドレスのLSBにするかを指定する。

【0133】ロウアドレス開始位置として使用される可能性があるのは、サポートするDRAMの種類、およびページインタリーブの条件から、DRAM論理アドレスのMA11, MA12, MA13, MA14の4ビットである。各制御パラメタは、これら4種類のロウアドレス開始位置のいずれか1つを指定する4ビットデータから構成される。制御パラメタ“0001”はMA11を指定し、“0010”はMA12、“0011”はMA13、“0100”はMA14を指定する。

【0134】レジスタファイル201にセットされている6つの制御パラメタの1つは、パターンデコーダ202に読み出される。どの制御パラメタが読み出されるかは、RASデコーダ122のデコード結果出力によって決定される。例えば、RASデコーダ122によってRAS0線が付勢される時は、RAS0線に対応する制御パラメタがレジスタファイル201から読み出される。

【0135】パターンデコーダ202は、レジスタファイル201から読み出された制御パラメタをデコードし、そのデコード結果に従って、セクタ203に4種類のロウアドレスの1つを選択させるための選択信号を発生する。

【0136】ロウアドレス開始位置切り替え回路204は、DRAM論理アドレスMA31:02)の中からMA11をロウアドレス開始位置(LSB)とする合計11ビット(MA21, …… , MA11)をロウアドレス(RA10:0)として取り出す。同様に、ロウアドレス開始位置切り替え回路205はMA12をLSBとする合計11ビット(MA22, …… , MA12)を取り出し、ロウアドレス開始位置切り替え回路206はMA13をLSBとする合計11ビット(MA23, …… , MA13)を取り出し、ロウアドレス開始位置切り替え回路207はMA14をLSBとする合計11ビット(MA24, …… , MA14)をロウアドレスとして取

り出す。

【0137】これらロウアドレス開始位置切り替え回路204~207は、例えばバレルシフトなどによって構成されている。

【0138】ロウアドレスセクタ203は、パターンデコーダ202からの選択信号に従って、ロウアドレス開始位置切り替え回路204~207から出力される4種類のロウアドレスの1つを選択して出力する。ロウアドレスセクタ203によって選択されたロウアドレスは、ロウアドレス/カラムアドレスセクタ208に供給される。また、このロウアドレス/カラムアドレスセクタ208には、カラムアドレスも供給される。このカラムアドレスとしては、DRAM論理アドレスの下位11ビット(MA12, …… , MA02)が常に使用される。

【0139】ロウアドレス/カラムアドレスセクタ208は、図2のタイミング制御回路125からの制御信号によって指定されるタイミングで、ロウアドレスとカラムアドレスを選択的にメモリアドレスバス33上に出力する。

【0140】このロウアドレス/カラムアドレスマルチプレクサ123においては、RASデコーダ122のデコード動作と並行して、ロウアドレス開始位置切り替え回路204~207それぞれによるロウアドレス切り出し動作が行われる。RASデコーダ122のデコード結果が確定すると、その確定されたデコード結果によって指定される付勢対象のRAS線に対応した1つの制御パラメタがレジスタファイル201から読み出され、それがパターンデコーダ202に送られる。そして、そのパターンデコーダ202によるデコード動作、およびロウアドレスセクタ203のロウアドレス選択動作が制御パラメタに従って実行され、これによってDRAMアクセスに使用すべきロウアドレスが確定される。

【0141】なお、ここでは、ロウアドレス開始位置切り替え回路204~207およびロウアドレスセクタ203によってロウアドレス(RA10:0)の11ビット全てをRAS線に応じて切り替えるように説明したが、実際は、全部のロウアドレスのビットを切り替える必要はない。

【0142】すなわち、ロウアドレス開始位置がMA11, MA12, MA13, MA14のいずれの場合においても、MA14~MA19の6ビットは共通に使用されるので、それらビットについては切り替え対象から除外する事ができる。この場合のCPUアドレスとロウアドレスとの対応関係の一例を図15に示す。

【0143】図15においては、ロウアドレスの下位3ビット(RA2~RA0)と上位2ビット(RA10, RA9)のみが切り替えの対象となっている。このようにすれば、CPUアドレスのMA14~MA19の6ビットをロウアドレスの中位6ビット(RA8~RA3)

としてロウアドレス/カラムアドレスセクタ208に直接送ることができるので、ロウアドレス開始位置切り替え回路204~207およびロウアドレスセクタ203はそれぞれ切り替え対象の5ビット分のハードウェア構成だけで実現できる。

【0144】このように、図14のロウアドレス/カラムアドレスマルチプレクサ123の回路構成は、必要とする回路数を非常に少なくすることができる。しかし、RASデコーダ122のデコード結果が確定されてからDRAMアクセスに使用すべきロウアドレスが確定されるまでは、3つの回路ブロックの動作(レジスタファイル201から使用する制御パラメタを選択して読み出す動作、パターンデコーダによるデコード動作、およびロウアドレスセクタ203によるロウアドレス選択動作)を順次行う必要がある。このため、ロウアドレス/カラムアドレスマルチプレクサ123内で比較的大きなディレイが生じるとい問題がある。

【0145】図16には、ロウアドレス/カラムアドレスマルチプレクサ123の第2の回路構成例が示されている。この図16の構成は、ロウアドレス/カラムアドレスマルチプレクサ123内でのディレイを少なくするための改良が次のように成されている。

【0146】すなわち、この図16のロウアドレス/カラムアドレスマルチプレクサ123においては、図14のパターンデコーダ202およびロウアドレスセクタ203の代わりに、RAS0~RAS5線それぞれに対応する6個のパターンデコーダ202-1~202-6、および6個のロウアドレスセクタ203-1~203-6が設けられている。パターンデコーダ202-1~202-6は、それぞれレジスタファイル201のRAS0制御パラメタ~RAS5制御パラメタに従ってロウアドレスセクタ203-1~203-6のロウアドレス選択動作を制御する。

【0147】また、それらロウアドレスセクタ203-1~203-6の次段には、それらロウアドレスセクタ203-1~203-6によって得られた6種類のロウアドレス(RAS0ロウアドレス~RAS5ロウアドレス)の1つをRASデコーダ122のデコード結果に応じて選択するロウアドレスセクタ209が設けられている。

【0148】この回路構成においては、RASデコーダ122のデコード動作と並行して、ロウアドレス開始位置切り替え回路204~207それぞれによるロウアドレス切り出し動作と、パターンデコーダ202-1~202-6およびロウアドレスセクタ203-1~203-6によるロウアドレス選択動作とが行われる。これにより、RASデコーダ122のデコード結果の確定を待たずに、RAS0~RAS5線にそれぞれ対応した6種類のロウアドレス(RAS0ロウアドレス~RAS5ロウアドレス)を生成することができる。

【0149】RASデコーダ122のデコード結果が確定すると、その確定されたデコード結果によって指定される付勢対象のRAS線に対応したロウアドレスがロウアドレスセクタ209によって選択される。

【0150】したがって、RASデコーダ122のデコード結果が確定されてからDRAMアクセスに使用すべきロウアドレスが確定されるまでに必要となる回路動作は、最終段のアドレスセクタ209によるアドレス選択動作だけとなり、内部ディレイが大幅に低減される。

【0151】なお、この図16の構成に於いても、図14の場合と同様に、全部のロウアドレスのビットを切り替える必要はない。

【0152】図17には、図2のページヒット判定回路126の具体的な回路構成が示されている。

【0153】このページヒット判定回路126には、図示のように、レジスタファイル301、ページヒット判定用CPUアドレスレジスタ302、一致判定回路303、マスク回路304、および一致判定マスク位置レジスタ305が設けられている。

【0154】レジスタファイル301は、CPU11によってリード/ライト可能なI/Oレジスタであり、ここにはページヒット判定のために使用されるCPUアドレスとの一致条件をマスクするか、しないかを指定するマスクデータ("0"=マスクする、"1"=マスクしない)がRAS0~RAS5線それぞれに対応する制御パラメタとしてセットされる。

【0155】すなわち、ページヒット判定では、CPUアドレス(A31:02)の中で、ページ内アドレスを除外した残りのアドレス、つまり、カラムアドレスに相当する部分を除いた、ロウアドレス(ページアドレス)およびRASデコード用アドレスが対象となる。カラムアドレスに相当する部分はページヒット判定に関与しないので、そのカラムアドレスとして使用されているビットそれぞれについての判定結果はマスクデータによってマスクする必要がある。ここで、マスクするというのは、該当するビットの判定結果を常に一致したことにすることを意味する。

【0156】実際には、各RAS線に対応するマスクデータは、カラムアドレスの全ビットではなく、A12, A11, A10についてそれぞれマスクするか、しないかを示す3ビットデータから構成されている。これは、一致判定回路303が、DRAMバンクの種類と関係なく常にカラムアドレスとして使用されるA10よりも下位のビットについては一致判定から除外し、A10以降の上位のビットだけを一致判定の対象とするように構成されており、また、A12, A11, A10の3ビットそれぞれは、DRAMバンクの種類によってカラムアドレスの一部として使用されるか否かが異なるからである。

【0157】例えば、RAS0線にタイプ1のDRAM

バンク（カラムアドレスビット数=9ビット）が接続されている場合には、A12, A11, A10の3ビットの中でA10だけがカラムアドレスの一部として使用される。この時は、RAS0線に対応するマスクデータ“110”がレジスタファイル301にセットされる。レジスタファイル301にセットされている6つのマスクデータのうちの1つは、レジスタファイル301から読み出されて一致判定マスク位置レジスタ305にセットされる。どのマスクデータが読み出されるかは、RASデコーダ122のデコード結果出力によって決定される。例えば、RASデコーダ122によってRAS0線が付勢される時は、RAS0線に対応するマスクデータがレジスタファイル301から読み出される。

【0158】ページヒット判定用CPUアドレスレジスタ302には、前回のメモリアクセス時のCPUアドレス(A31:02)の内のA26~A11の17ビットがページヒット判定用CPUアドレスとして保持される。このページヒット判定用CPUアドレスレジスタ302の内容は、ページヒットせず、バンクミスまたはページミスが発生した時に、その時のメモリアクセスで使用されているCPUアドレス(A31:02)に従って更新される。すなわち、バンクミスまたはページミスが発生すると、タイミング制御回路125からレジスタ更新信号が発生される。このレジスタ更新信号にตอบสนองして、その時にCPUアドレスバス上に出力されているCPUアドレス(A26~A11)がページヒット判定用CPUアドレスレジスタ302にラッチされる。これによって、ページヒット判定用CPUアドレスレジスタ302の内容は、バンクミスまたはページミスが発生したメモリアクセス時のCPUアドレスに変更される。

【0159】一致判定回路303は、今回のメモリアクセス時のCPUアドレス(A26~A11)とページヒット判定用CPUアドレスレジスタ302に保持されているCPUアドレス(A26~A11)とをビット毎に比較するコンパレータであり、A26~A11それぞれの検出結果を示す17ビットデータを出力する。

【0160】マスク回路304は、A26~A11それぞれの検出結果の内のA12, A11, A10の検出結果出力を、一致判定マスク位置レジスタ305のマスクデータに従ってマスクし、マスク後の検出結果出力が全て一致を示す時にページヒット信号HITを発生する。

【0161】一致判定マスク位置レジスタ305には、付勢対象のRAS線に対応するマスクデータがセットされる。この一致判定マスク位置レジスタ305の内容は、ページヒットせず、バンクミスまたはページミスが発生した時に、その時にRASデコーダ122によって付勢されるRAS線に対応するマスクデータに更新される。すなわち、バンクミスまたはページミスが発生すると、タイミング制御回路125からレジスタ更新信号が発生される。このレジスタ更新信号にตอบสนองして、その時

にRASデコーダ122によって選択されているレジスタファイル301内のマスクデータが一致判定マスク位置レジスタ305にラッチされる。これによって、一致判定マスク位置レジスタ305の内容は、バンクミスまたはページミスが発生したメモリアクセス時に付勢されるRAS線に対応したマスクデータに変更される。

【0162】この様に構成されたページヒット判定回路126によれば、DRAM論理アドレスではなく、CPUアドレスを用いて、今回のメモリアクセスが前回のメモリアクセスと同一バンク且つ同一ページであるか否かを判定するページヒット判定が行われる。ページヒット判定にCPUアドレスを利用することができるのは、前述したようにアドレス変換回路121によるCPUアドレスからDRAM論理アドレスへのアドレス変換の単位がDRAMバンクのページサイズ以上の値に設定されているからである。よって、アドレス変換動作とページヒット判定動作とを並行して行うことが可能となり、ページヒット判定を高速に行うことができ、メモリアクセス速度の高速化を実現することができる。

【0163】また、タイミング制御回路125には、CPU11によってリード/ライト可能なタイミング制御レジスタ125aが設けられている。このタイミング制御レジスタ125aには、RASデコーダ122のRASデコードタイミングを指定する情報と、ページヒット判定回路126のページヒット判定タイミングを指定する情報とが設定され、その設定情報に従ってRASデコーダ122およびページヒット判定回路126の動作タイミングが決定される。

【0164】通常、これらRASデコーダ122およびページヒット判定回路126の動作タイミングは、CPU11のアドレスのディレイ、バスのクロック、使用している回路のプロセスなどにより固定的に決定されるので、これら条件が変わる度に設計変更が必要となる。しかし、この実施形態では、RASデコーダ122およびページヒット判定回路126の動作タイミングをソフトウェアによる設定で可変できるようにしているため、タイミングに影響する条件が変わっても設計変更する必要がなくなる。

【0165】また、タイミング制御回路125は、リフレッシュサイクルが間に入った場合などのようにアドレスが一致してもページヒットと判定してはならない場合のことを考慮して、DRAM制御のステートマシンによって、「ページアクセス可能状態」と「ページアクセス不可能状態」の2つの状態を管理できるように構成されている。現在の状態が「ページアクセス不可能状態」の時、タイミング制御回路125はページヒット信号を無効化する。

【0166】「ページアクセス可能状態」とは、前回アクセスからのRASを出したままということである。「ページアクセス可能状態」でない状態が「ページアク



セス不可能状態」である。システムリセット時は「ページアクセス不可能状態」である。

【0167】CPU11のアクセスの後は、リードであるかライトであるかに拘わらず、「ページアクセス可能状態」となる。「ページアクセス可能状態」にある時の次のCPU11のDRAMアクセスは、そのアドレスによって、ページヒット、バンクミス、ページミスのどれかになる。ページヒットの時は、高速に処理ができる。「ページアクセス不可能状態」にある時の次のCPU11のDRAMアクセスは、そのアドレスには関係なくバンクミスになる。

【0168】「ページアクセス不可能状態」になる要因は、ホールドアクノリッジHLDA状態、DRAMシャドーフレッシュ、RASタイムアウト、システムリセットである。したがって、タイミング制御回路125は、CPU11からのアドレスストロブADS信号、HLDA信号、リフレッシュタイマからのDRAMリフレッシュ信号DRAM、システムリセット信号等に従って、「ページアクセス可能状態」と「ページアクセス不可能状態」の2つのステートを管理する。

【0169】また、タイミング制御回路125はRASタイムアウト回路を内蔵しており、一定時間( $t_{RAS}$ )以上、RASイネーブル状態が続くと、「ページアクセス可能状態」から「ページアクセス不可能状態」に移行する。

【0170】現在の状態が「ページアクセス不可能状態」の時は、ページヒット信号を無効化するために、タイミング制御回路125は、ページヒット判定用CPUアドレスレジスタ302に保持されているメモリアドレス値を、DRAMアクセスに使用されることがない値に変更してもよい。

【0171】さらに、タイミング制御回路125は、CPU11以外の他のバスマスタがDRAMをアクセスする場合もページモードアクセスをサポートするために、次の2つのモードを持ち、それらモードを動的に変更するように構成されている。

【0172】(モード1)このモードはCPU11と他のバスマスタが同一ページをアクセスすることはまれであるということ想定したものであり、バスマスタの切り替わりに応答して、「ページアクセス可能状態」から「ページアクセス不可能状態」に遷移して全てのRASをディスエーブルしておくモードである。これにより、新たにRASをイネーブルするときのプリチャージ時間を節約することができる。

【0173】(モード2)このモードはCPU11と他のバスマスタが同一ページをアクセスするという使い方を想定したモードである。例えば、バスマスタがライトしたデータをすぐにCPU11がリードするような場合がこれに相当する。このモードでは、バスマスタが切り替わっても「ページアクセス不可能状態」に遷移せずに

RASをイネーブルのまま保持するので、同一ページ内への高速アクセスが可能となる。

【0174】これらモードの一方を固定的に利用してもよいが、モード1で動作中にページヒットしたからしれないアドレスパターンが多い場合にはモード2に移行し、またモード2で動作中にページヒットしないことが多いならばモード1に移行するといった、ページヒット結果を利用したモード切替を行うことが好ましい。

【0175】また、図17のページヒット判定回路126においては、ページヒット判定用CPUアドレスレジスタ302には、CPUからのメモリアドレスと一緒にそのメモリアドレスに対応するメモリアドレスエリアのメモリ属性情報がライトアクセスとリードアクセスとで異なるメモリデバイスを指定しているか否かを示す情報とそのときのメモリアccessがライトアクセスとリードアクセスのいずれであるかを示すサイクル種別情報も保持され、ライトアクセスとリードアクセスとでアクセス対象のメモリデバイスが異なるときは、保持されているメモリアドレスと今回のメモリアccess時におけるCPUからのメモリアドレスとが一致し、且つ保持されているサイクル種別情報と今回のメモリアccessのサイクル種別との一致が一致判定回路303によるページヒット判定条件に加えられている。

【0176】すなわち、ライトアクセスとリードアクセスとでアクセス対象のメモリデバイスが異なるときは、メモリアドレスの一致の有無だけでは、実際にはページヒット判定を行うことができない。この場合、結果としてページヒット判定に時間がかかることになり、高速ページヒット判定のメリットを生かすことができなくなる。

【0177】そこで、前述したように、この実施形態では、ライトアクセスとリードアクセスとでアクセス対象のメモリデバイスが異なるときは、ライトかリードかのサイクル種別情報についてもページヒット判定条件に加えられている。以下、そのための構成について具体的に説明する。

【0178】まず、図18を参照して、図17のメモリエリア属性テーブル127で管理されているCPU11のメモリアドレス空間とメモリ属性情報との関係を説明する。

【0179】メモリエリア属性テーブル127によって管理される1つのアドレスエリアのサイズは16Kバイトであり、図18に示されているように、CPUメモリアドレス空間00000000H~0000FFFFHは000000Hから順番にAREA00~AREA63と定義される。

【0180】これらAREA00~AREA63の内、DRAMを含む複数種のメモリデバイスが配置される可能性があるAREA40~AREA63に対応する各アトリビュートレジスタには、図19に示すような8ビット

トの属性情報が設定される。図19に示されているように、8ビットの属性情報のうち、bit7とbit6の2ビットはリード属性情報(READ ATTRIBUTE)、bit5とbit4の2ビットはライト属性情報(WRITE ATTRIBUTE)、bit3はDRAMライトプロテクト情報(WP)、bit2とbit1の2ビットはキャッシング制御情報(CASH)として使用される。

【0181】リード属性情報(READ ATTRIBUTE)は、リードアクセス対象のメモリデバイスの種類を示すものであり、図20に示されているように、そのbit7とbit6の2ビットの組み合わせによって、DRAM、VLバス上のメモリ、PCIバス上のメモリ、ISAバス上のメモリのいずれかが指定される。ライト属性情報(WRITE ATTRIBUTE)は、ライトアクセス対象のメモリデバイスの種類を示すものであり、図21に示されているように、そのbit5とbit4の2ビットの組み合わせによって、DRAM、VLバス上のメモリ、PCIバス上のメモリ、ISAバス上のメモリのいずれかが指定される。

【0182】DRAMライトプロテクト情報(WP)は、ライト属性情報によってDRAMがライトアクセス対象のメモリデバイスとして指定されている時、図22に示されているように、bit3の内容によってDRAMに対する書き込み保護を行うか否かを示す。

【0183】キャッシング制御情報(CASH)は、リード属性情報およびライト属性情報によって共にDRAMが指定されている時に於いて、そのRAMのキャッシング操作の有効/無効を制御するためのものであり、図23に示されているように、そのbit2とbit1の2ビットの組み合わせによって、ライトバックキャッシュイネーブル、ライトスルーキャッシュイネーブル、キャッシュディセーブルのいずれかが指定される。例えば、VGA BIOSや、システムBIOSがコピーされたDRAMエリアについては、キャッシュディセーブルの設定が成される。

【0184】ページヒット判定用CPUアドレスレジスタ302には、CPU11からのメモリアドレスと一緒にそのメモリアドレスに対応するメモリアドレスエリアのメモリ属性情報がメモリアドレス属性テーブル127から読み込まれ、ライトアクセスとリードアクセスとで異なるメモリデバイスを指定しているか否かを示す情報とそのときのメモリアドレスがライトアクセスとリードアクセスのいずれであるかを示すサイクル種別情報が合わせて保持される。ライトアクセスとリードアクセスとでアクセス対象のメモリデバイスが異なるときは、保持されているメモリアドレスと今回のメモリアドレスにおけるCPUからのメモリアドレスとが一致し、且つ保持されているサイクル種別情報と今回のメモリアドレスのサイクル種別との一致が一致判定回路303によるページ

ヒット判定条件に加えられている。

【0185】したがって、メモリ属性を高速に決定できるようになり、高速なページヒット判定を生かした高速メモリアccessが可能になる。

【0186】さらに、ページヒット判定用CPUアドレスレジスタ302には、前述の情報に加え、CPUからのメモリアドレスに対応するメモリアドレスエリアのDRAMライトプロテクト情報(WP)とキャッシング制御情報(CASH)をさらに保持しておくことが望ましい。これにより、ページヒット判定がなされると同時に、次に実行すべきサイクルの種別を決定できる。

【0187】すなわち、ページヒットであると判定されたときは、それと同時に次のようにサイクル種別が決定される。

【0188】1. ライトページヒット非プロテクト  
これは、今回のメモリアccessサイクルがライトサイクルであり、かつ保持されているライトプロテクト情報が非ライトプロテクトを示している場合に実行されるサイクルであり、DRAMへの書き込みがページモードで実行される。

【0189】2. ライトページヒットプロテクト  
これは、今回のメモリアccessサイクルがライトサイクルであり、かつ保持されているライトプロテクト情報がライトプロテクトを示している場合に実行されるサイクルであり、CASのアサートはおこなわれず、これによりライトプロテクトが実現される。

【0190】3. リードページヒットシングル  
これは、今回のメモリアccessサイクルがリードサイクルであり、かつ保持されているキャッシュ制御情報がキャッシュ無効を示している場合に実行されるサイクルであり、DRAMからデータを読み出すリードサイクルがページモードで1回実行される。

【0191】4. リードページヒットバースト  
これは、今回のメモリアccessサイクルがリードサイクルであり、かつ保持されているキャッシュ制御情報がキャッシュ有効を示している場合に実行されるサイクルであり、DRAMから連続する複数のデータを読み出すバーストリードサイクルがページモードで実行される。

【0192】ここで、ライトプロテクト情報およびキャッシュ制御情報は、そのページに対して、バンクミスまたはページミスによってRASを出しなしたときに、ページヒット判定用のCPUアドレスとともに記録しておいたものである。これは、これらライトプロテクト情報およびキャッシュ制御情報のデコード結果を待っている、ページヒット確定時間に間に合わないためである。

【0193】従って、リードサイクルのときのライトプロテクト情報、およびライトサイクルのときのキャッシュ制御情報にも意味がある。

【0194】また、ページヒットしなかった場合には、

バンクミスかページミスかが判定され、バンクミスが決定されると、それと同時に次のようにサイクル種別が決定される。

【0195】1. ライトバンクミス非プロテクト

これは、今回のメモリアクセスサイクルがライトサイクルであり、かつ今回のメモリアドレスに対応するライトプロテクト情報が非ライトプロテクトを示している場合に実行されるサイクルであり、別のDRAMバンクに対するRASがアサートされ、アーリーライトによってデータ書き込みが実行される。

【0196】2. ライトバンクミスプロテクト

これは、今回のメモリアクセスサイクルがライトサイクルであり、かつ今回のメモリアドレスに対応するライトプロテクト情報がライトプロテクトを示している場合に実行されるサイクルであり、CASのアサートはおこなわれず、これによりライトプロテクトが実現される。

【0197】3. リードバンクミスシングル

これは、今回のメモリアクセスサイクルがリードサイクルであり、かつ今回のメモリアドレスに対応するキャッシュ制御情報がキャッシュ無効を示している場合に実行されるサイクルであり、別のDRAMバンクに対するRASがアサートされ、そのDRAMバンクからデータを読み出すリードサイクルが1回実行される。

【0198】4. リードバンクミスバースト

これは、今回のメモリアクセスサイクルがリードサイクルであり、かつ今回のメモリアドレスに対応するキャッシュ制御情報がキャッシュ有効を示している場合に実行されるサイクルであり、別のDRAMバンクに対するRASがアサートされた後、そのDRAMバンクから連続する複数のデータを読み出すバーストリードサイクルが実行される。

【0199】ここで、ライトプロテクト情報およびキャッシュ制御情報は、今回アクセスされるページに対して、定義されるデコード信号であり、次以降のアクセスのために、ページヒット判定用のCPUアドレスとともに記録される。

【0200】また、ページミスが決定されると、それと同時に次のようにサイクル種別が決定される。

【0201】1. ライトページミス非プロテクト

これは、今回のメモリアクセスサイクルがライトサイクルであり、かつ今回のメモリアドレスに対応するライトプロテクト情報が非ライトプロテクトを示している場合に実行されるサイクルであり、同一DRAMバンクに対するRASがアサートし直され、アーリーライトによってデータ書き込みが実行される。

【0202】2. ライトページミスプロテクト

これは、今回のメモリアクセスサイクルがライトサイクルであり、かつ今回のメモリアドレスに対応するライトプロテクト情報がライトプロテクトを示している場合に実行されるサイクルであり、CASのアサートはおこな

われず、これによりライトプロテクトが実現される。

【0203】3. リードページミスシングル

これは、今回のメモリアクセスサイクルがリードサイクルであり、かつ今回のメモリアドレスに対応するキャッシュ制御情報がキャッシュ無効を示している場合に実行されるサイクルであり、同一DRAMバンクに対するRASがアサートし直され、そのDRAMバンクからデータを読み出すリードサイクルが1回実行される。

【0204】4. リードページミスバースト

これは、今回のメモリアクセスサイクルがリードサイクルであり、かつ今回のメモリアドレスに対応するキャッシュ制御情報がキャッシュ有効を示している場合に実行されるサイクルであり、同一DRAMバンクに対するRASがアサートし直された後、そのDRAMバンクから連続する複数のデータを読み出すバーストリードサイクルが実行される。

【0205】ここで、ライトプロテクト情報およびキャッシュ制御情報は、今回アクセスされるページに対して、定義されるデコード信号であり、次以降のアクセスのために、ページヒット判定用のCPUアドレスとともに記録される。

【0206】以上説明したように、この実施形態によれば、ページヒット判定回路126により、DRAM論理アドレスではなく、CPUアドレスを用いて、今回のメモリアクセスが前回のメモリアクセスと同一バンク且つ同一ページであるか否かを判定するページヒット判定が行われる。よって、アドレス変換動作とページヒット判定動作とを並行して行うことが可能となり、ページヒット判定を高速に行うことができ、メモリアクセス速度の高速化を実現することができる。

【0207】また、メモリ属性情報をページヒット判定用のCPUアドレスと一緒に保持しておくことにより、さらに高速のページヒット判定および次のサイクル種別の決定が可能となる。

【0208】

【発明の効果】以上説明したように、この発明によれば、ページヒット判定を高速に実行できるようになり、メモリアクセス速度の高速化を実現することができる。

【図面の簡単な説明】

【図1】この発明の一実施例に係るコンピュータシステムの構成を示すブロック図。

【図2】同実施例のシステムに設けられているシステムコントローラ内のメモリ制御ロジックを示すブロック図。

【図3】図2のメモリ制御ロジックに含まれるアドレス変換回路によって実行されるCPUメモリアドレス空間からDRAM論理アドレス空間への変換動作の示す図。

【図4】同実施例のシステムに設けられている複数のDRAMバンクがDRAM論理アドレス空間にメモリサイズ順に再配置された状態を表すDRAMメモリマップを

示す図。

【図5】同実施例のシステムに設けられている複数のDRAMバンクに接続されるRAS線それぞれのデコード条件を示す図。

【図6】同実施例のシステムでページインタリーブアーキテクチャを実現する場合に採用されるRAS線それぞれのデコード条件を示す図。

【図7】同実施例のシステムのパワーオン時にIRTLルーチンによって実行されるメモリ制御ロジックのための初期設定処理の手順を示すフローチャート。

【図8】同実施例のシステムでサポートされるDRAMバンクの種類の一列を示す図。

【図9】同実施例のシステムのシステムボード上に標準実装されたシステムメモリのメモリ構成の一列を示す図。

【図10】同実施例のシステムに設けられた拡張メモリスロットに装着される増設メモリのメモリ構成の一列を示す図。

【図11】同実施例のシステムに設けられた拡張メモリスロットに装着される増設メモリの他のメモリ構成の一列を示す図。

【図12】図7のメモリ制御ロジックの初期設定処理において実行される各DRAMバンクのメモリサイズ検出処理の手順を示すフローチャート。

【図13】図2のメモリ制御ロジックに含まれるRASデコーダの具体的構成の一列を示す回路図。

【図14】図2のメモリ制御ロジックに含まれるロウアドレス/カラムアドレスマルチプレクサの具体的構成の一列を示す回路図。

【図15】図14のロウアドレス/カラムアドレスマルチプレクサのロウアドレス切り替え動作を説明するための図。

【図16】図2のメモリ制御ロジックに含まれるロウアドレス/カラムアドレスマルチプレクサの具体的構成の

他の例を示す回路図。

【図17】図2のメモリ制御ロジックに含まれるページヒット判定回路の具体的構成の一列を示す回路図。

【図18】同実施形態のシステムによって管理されるメモリ属性情報とCPUメモリアドレス空間との関係を示す図。

【図19】図18のメモリ属性情報のフォーマットを示す図。

【図20】図18のメモリ属性情報に含まれるリード属性情報の内容を示す図。

【図21】図18のメモリ属性情報に含まれるライト属性情報の内容を示す図。

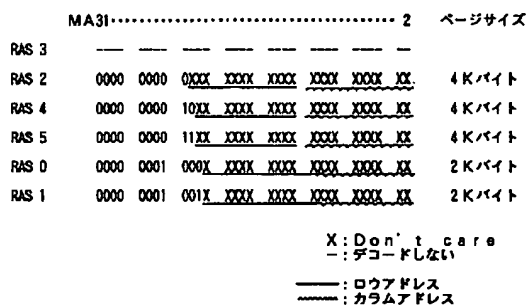
【図22】図18のメモリ属性情報に含まれるDRAMライトプロテクト情報の内容を示す図。

【図23】図18のメモリ属性情報に含まれるキャッシング制御情報の内容を示す図。

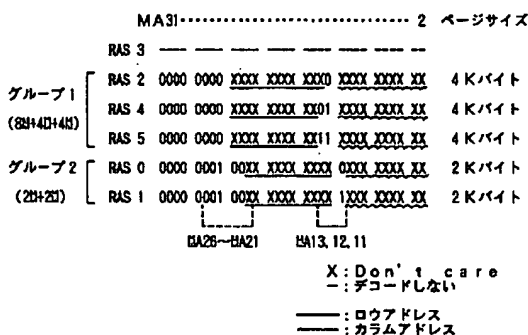
【符号の説明】

11...CPU、12...システムコントローラ、13...システムメモリ、21、22...拡張メモリスロット、31...CPUローカルバス、33...メモリアドレスバス、41、42...増設メモリ、120...メモリ制御ロジック、121...アドレス変換回路、122...RASデコーダ、123...ロウアドレス/カラムアドレスマルチプレクサ、124...CAS発生回路、125...タイミング制御回路、126...ページヒット判定回路、51~56...RASデコード回路、71~79...一致検出回路、81~89...マスク回路、91...AND回路、201、301...レジスタファイル、202...パターンデコーダ、203...ロウアドレスセクタ、204~207...ロウアドレス開始位置切り替え回路、208...ロウアドレス/カラムアドレスセクタ、302...ページヒット判定用CPUアドレスレジスタ、303...一致判定回路、304...マスク回路、305...一致判定マスク位置レジスタ。

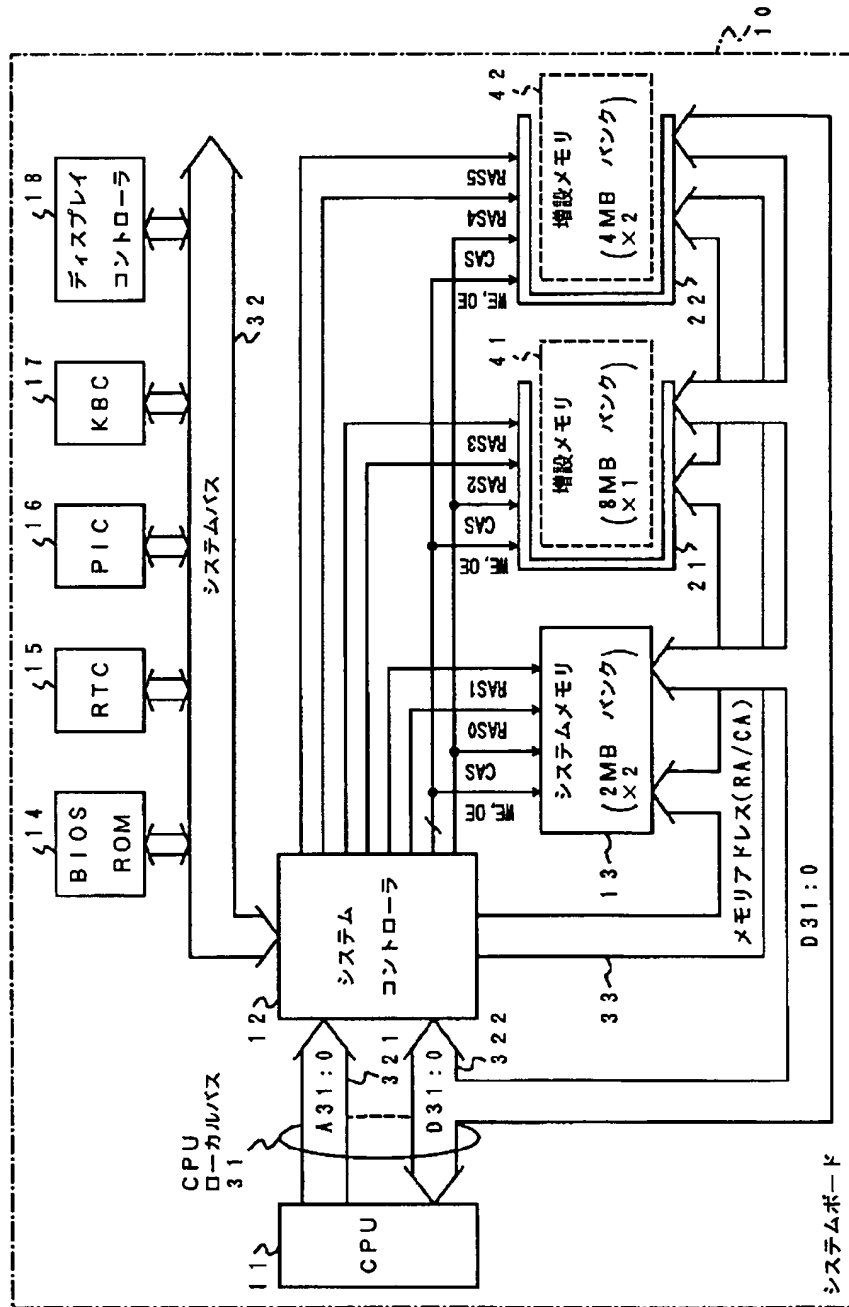
【図5】



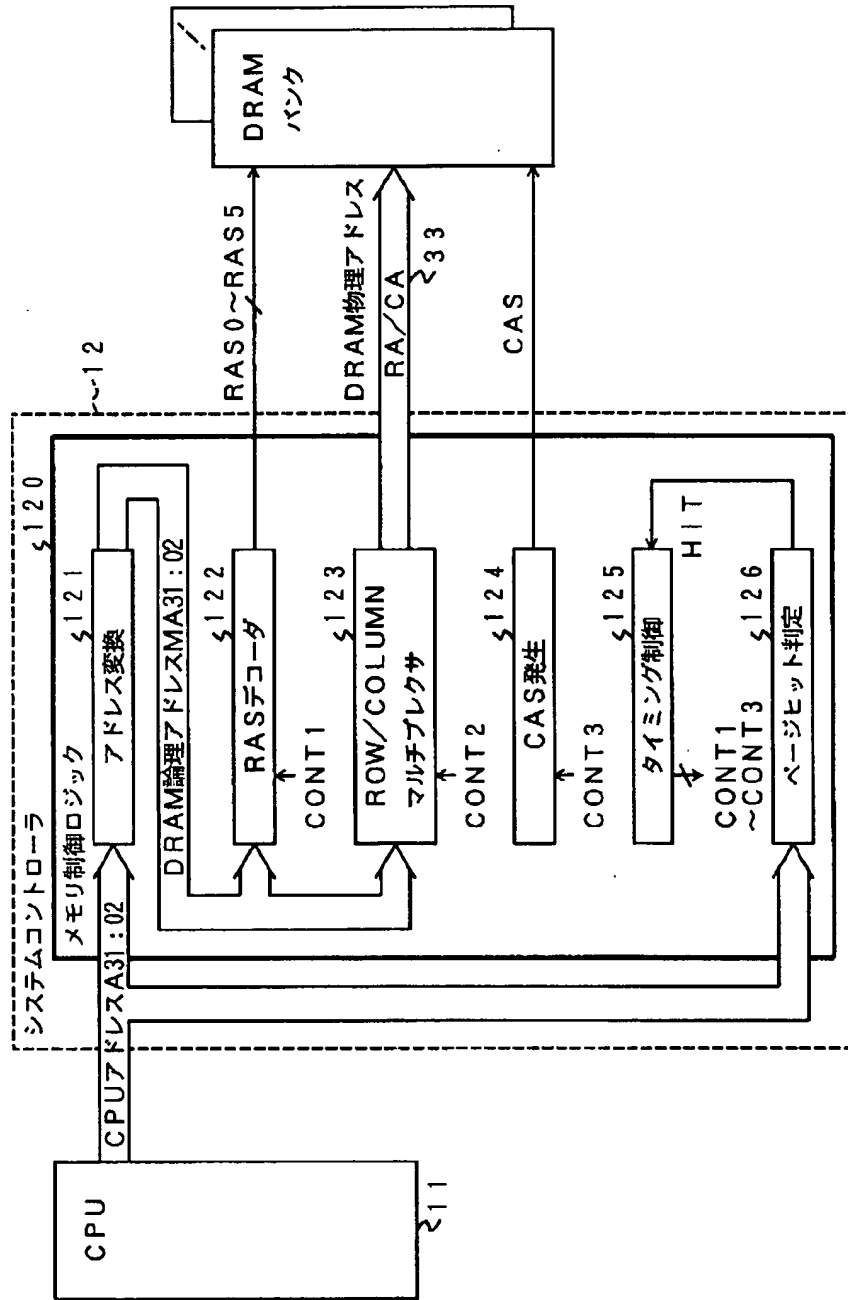
【図6】



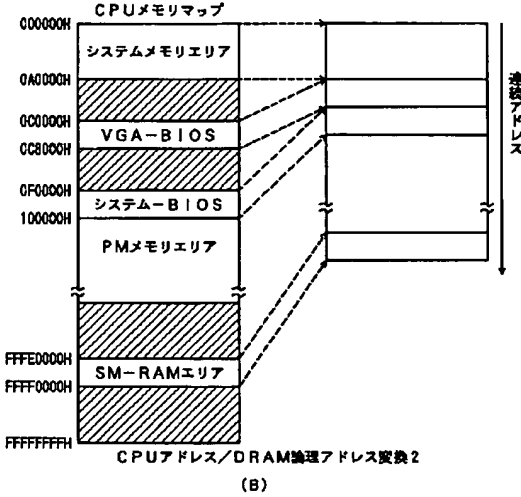
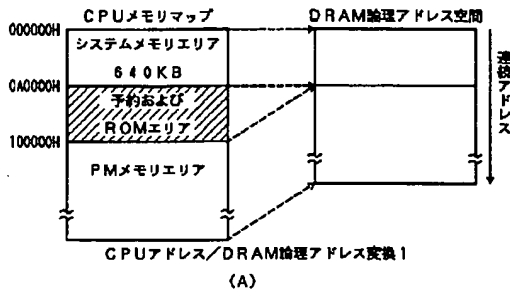
【図1】



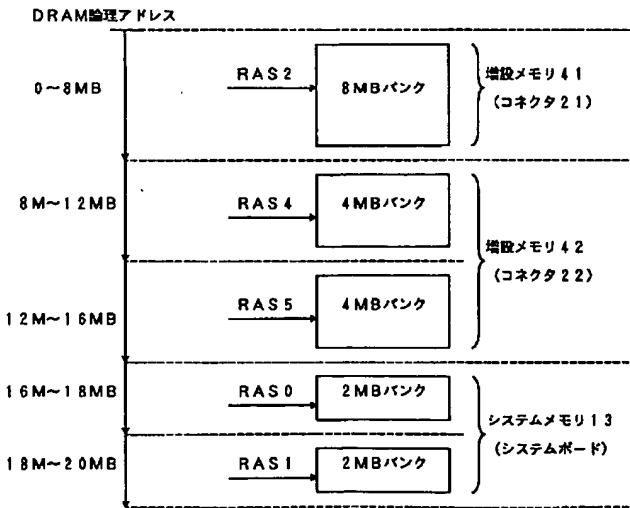
【図2】



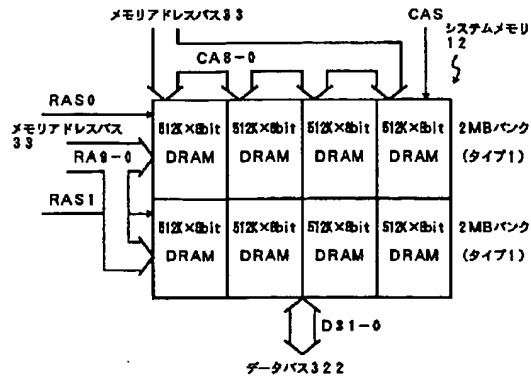
【図3】



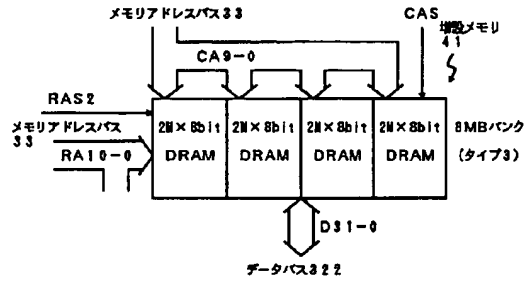
【図4】



【図9】



【図10】



【図20】

READ ATTRIBUTE		内容
bit 7	bit 6	
H	H	DRAM
H	L	VL
L	H	PCI
L	L	ISA

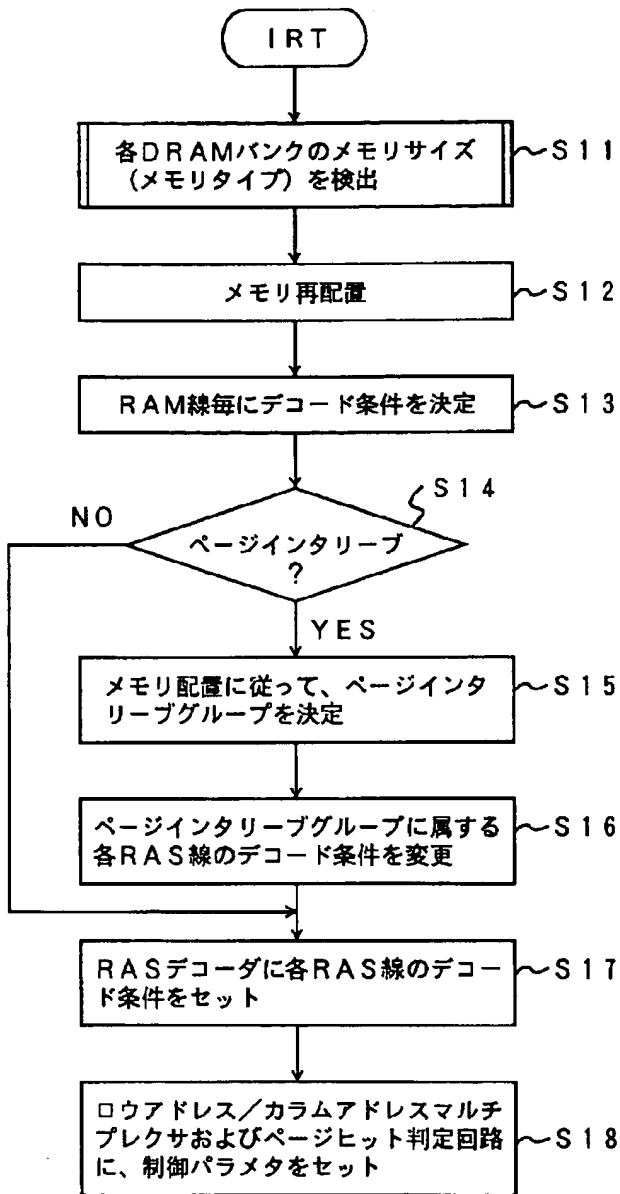
【図21】

WRITE ATTRIBUTE		内容
bit 5	bit 4	
H	H	DRAM
H	L	VL
L	H	PCI
L	L	ISA

【図22】

DRAM WP	内容
bit 3	
H	ライトプロテクトする
L	ライトプロテクトしない

【図7】



【図19】



【図23】

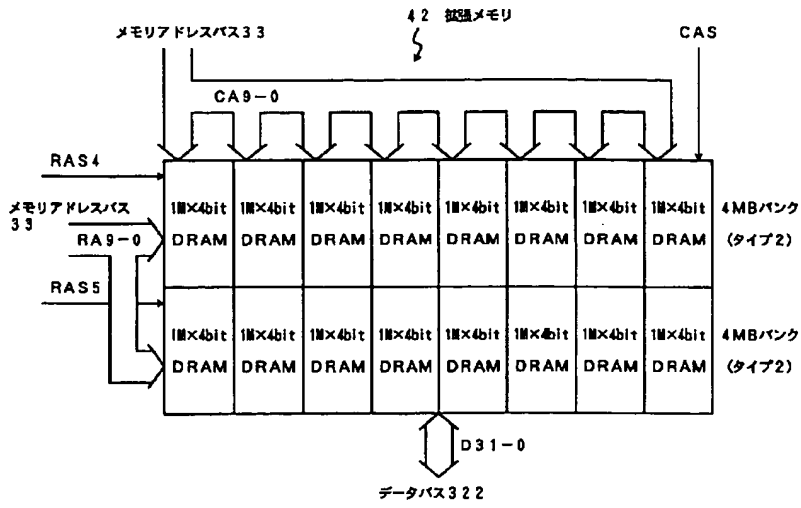
CASH		内容
bit2	bit1	
H	H	ライトバックキャッシュイネーブル
H	L	ライトスルーキャッシュイネーブル
L	H	予約
L	L	キャッシュディセーブル

【図8】

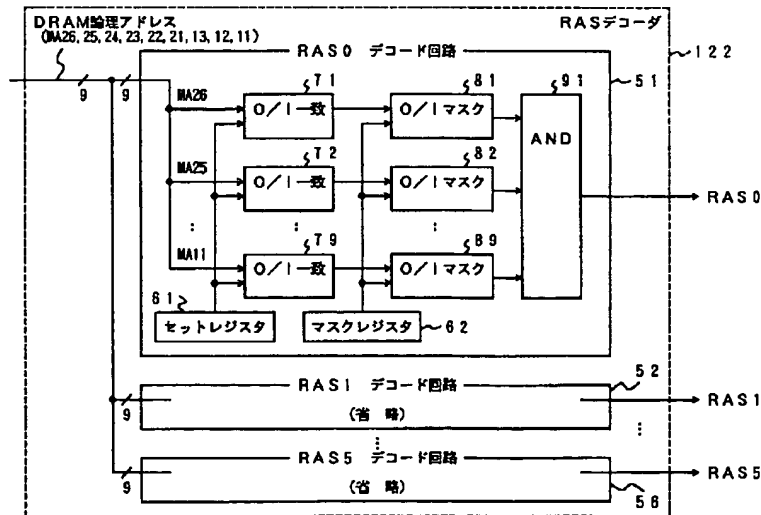
バンクタイプ	バンク構成	容量	ロウアドレス	カラムアドレス
(1)	512K×8タイプの4Mbit DRAMを4個	2Mバイト	10	9
(2)	1M×4タイプの4Mbit DRAMを8個	4Mバイト	10	10
(3)	2M×8タイプの16Mbit DRAMを4個	8Mバイト	11	10
(4)	4M×4タイプの16Mbit DRAMを8個	16Mバイト	11	11



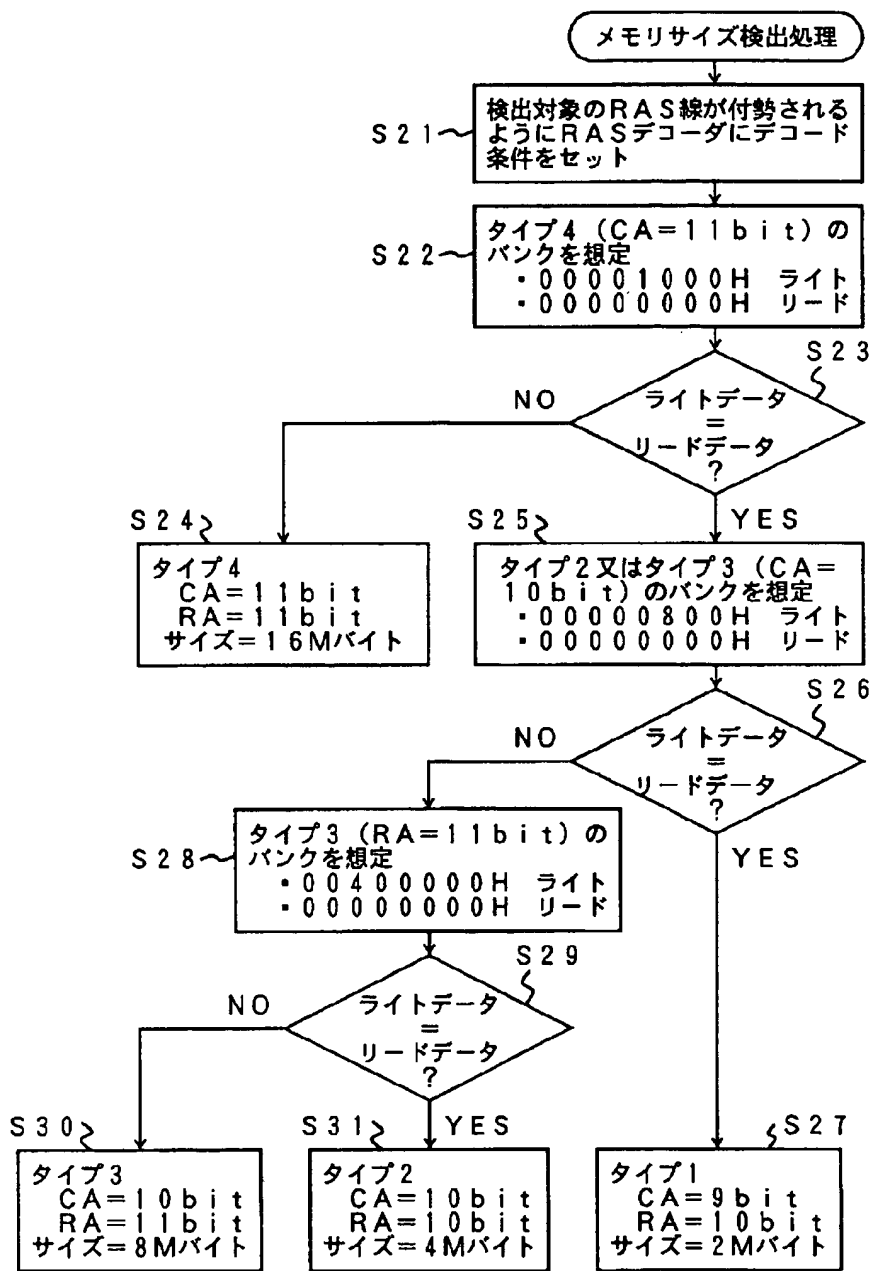
【図11】



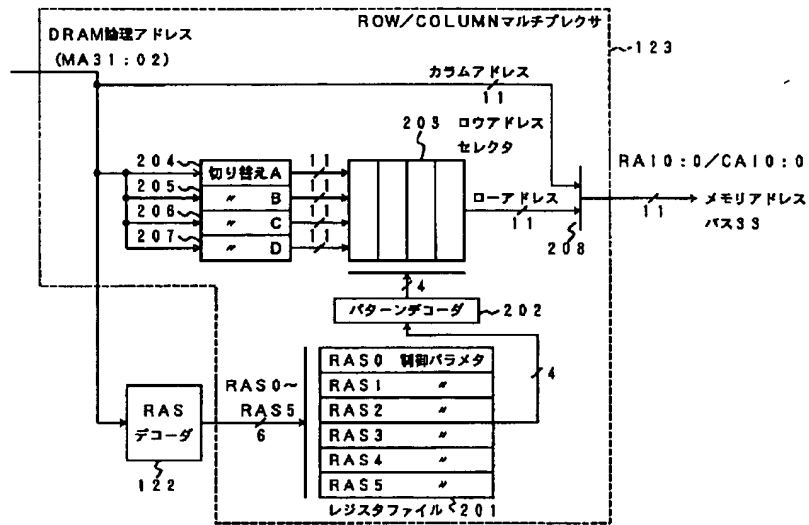
【図13】



【図12】



【図14】



【図15】

ローアドレス	DRAM論理アドレス(ローアドレス開始)				コラムアドレス	DRAM論理アドレス
	11	12	13	14		
RA0	MA11	MA20	MA20	MA20	CA0	MA2 (バーストあり)
RA1	MA12	MA12	MA21	MA21	CA1	MA3 (バーストあり)
RA2	MA13	MA13	MA13	MA22	CA2	MA4
RA3	MA14	MA14	MA14	MA14	CA3	MA5
RA4	MA15	MA15	MA15	MA15	CA4	MA6
RA5	MA16	MA16	MA16	MA16	CA5	MA7
RA6	MA17	MA17	MA17	MA17	CA6	MA8
RA7	MA18	MA18	MA18	MA18	CA7	MA9
RA8	MA19	MA19	MA19	MA19	CA8	MA10
RA9	MA20	MA21	MA22	MA23	CA9	MA11
RA10	MA21	MA22	MA23	MA24	CA10	MA12